مبانی الکترونیک دیجیتال

کتاب: الکترونیک دیجیتال نوشته: دکتر محمدی صدرحق، ولی زاده، محمدی نژاد

فصل های 1، 2، 3، 6، 7

فصل اول: مقدمه ای بر الکترونیک دیجیتال

انتقال داده های تلفنی، بیسیم ها، تلویزیون ها، رادیک های مشده و... همه امروزه دیجیتالی هستند همه مرهون اختراع ترانزیستور در آزمایشگاه بل در سال 1947 می باشند و بعد از آن پیدایش ترانزیستور دوقطبی و ثانی در سال 1949 است در سال 1956 اولین گیت منطقی ارائه شد. اولین گیت های موفقیت آمیز TTL بود که در 1962 وارد بازار شد تکنولوژی MOS FET در سال 1925 بوجود آمد ولی مورد استفاده جدی قرار نگرفت تا سال 1970 که برای ساخت مدارات دیجیتال مجتمع مورد استفاده قرار گرفت و اولین ماشین حساب مورد استفاده قرار گرفت سپس در ساخت ریز پردازنده های اینتل (از پردازنده های 4004، 8080) تکنولوژی های ذیل مانند BiCMOS، گالیوم-آرسنایید و... نیز امروزه استفاده می شود که مهمترین آن و بیشترین استفاده را تکنولوژی CMOS بخود اختصاص داده است

منطق دودویی

با جبر بول و کار کردن با اعداد دودویی و منطق دودویی آشنایی داریم

منطق دودویی:

سه نوع عملیات منطقی اصلی عبارتند از: NOT ، OR ، AND

AND: بوسیله یک نقطه یا بدون علامت نشان داده می شود $Z=xy$ یا $Z=x\cdot y$

در واقع Z برابر 1 است اگر هم x و هم y یک باشند در غیر این صورت صفر است.

OR: با علامت + ، $Z=x+y$ ، اگر حداقل یکی از x و y یک باشد Z یک خواهد شد

NOT: $Z=x'$ یا $Z=\bar{x}$ که نقیض خوانده می شود

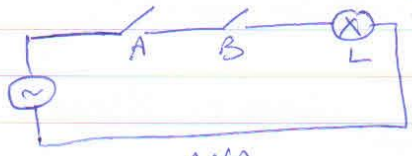
x	x'
0	1
1	0

منطق دودویی با حساب دودویی فرق می کند مثلاً

در حساب دودویی $1+1=10$

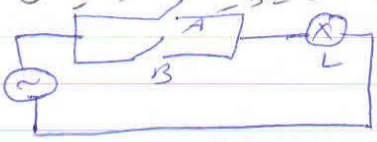
در منطق دودویی $1+1=1$

مدارهای سوئیچینگ و سیگنال های دودویی:



AND

$L = A \cdot B$

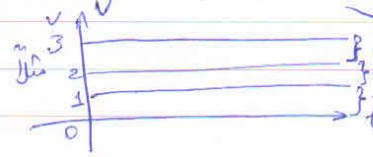


OR

$L = A + B$

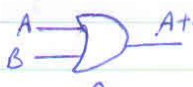
به همین دلیل مدارهای الکترونیک دیجیتال گاهی مدارهای سوئیچینگ نیز نامیده می شوند

ممکن است صفر و یک را در یک سیستم به صورت مقابل

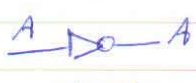


دروازه های منطقی: (گیت ها)

AND



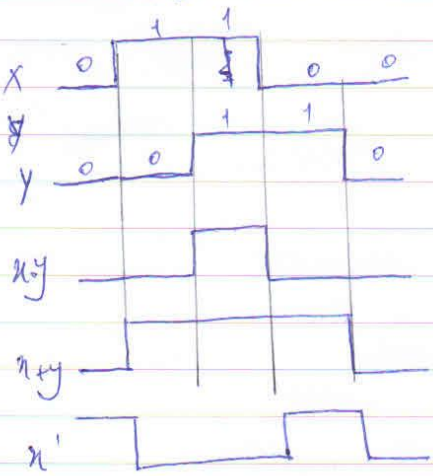
OR



NOT

منطق مثبت و منفق نفی:

در حالتی که ولتاژ بالا به عنوان ۱ و ولتاژ پایین به عنوان صفر در نظر گرفته شود منطق مثبت و در غیر این صورت منطق منفی نامیده می شود.



خانواده های مدارهای دیجیتال:

NMOS تنها روش عملی VLSI نظیر ریزپردازنده ها و تراشه های حافظه

MOS

CMOS

TTL

ECL

BJT ارتعلیی

هم بصورت غیر سفارشی (مثل IC هایی که فقط شامل گیت های NOR یا NAND هستند) و هم بصورت VLSI (مثل ریزپردازنده ها)

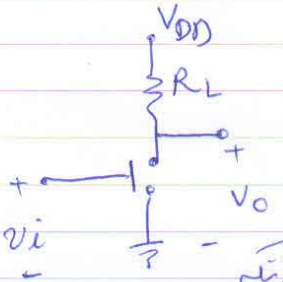
BICMOS ترکیبی از CMOS و BJT از خانواده های مهم امروزی و هم در مرز پیشرفت دارد

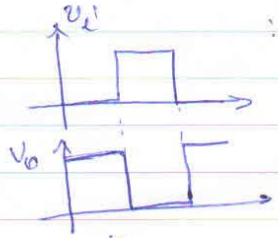
تکنولوژی گالیوم آرسنایِد (GaAs) دارای سرعت بالاتر است

مقیاس مجتمع سازی:

SSI: مدار مجتمع با مقیاس کوچک از یک تا ۱۰ گیت
MSI: ~ ~ ~ متوسط از ۱۰ تا ۱۰۰ گیت
LSI: ~ ~ ~ بزرگ از ۱۰۰ تا ۱۰۰۰ گیت
VLSI: ~ ~ ~ خیلی بزرگ بیش از ۱۰۰۰ گیت

معکوس کننده پایه:



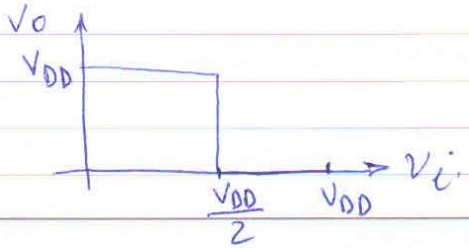


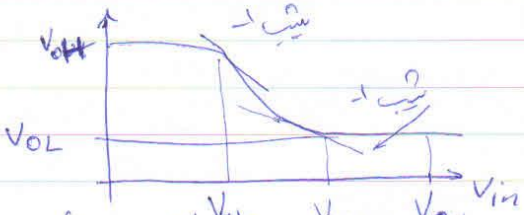
عمل معکوس کردن را انجام می دهد.

مدار واقعی معکوس کننده: این مدار تفاوت دارد: اول اینکه این مدار از ورودی جریان می کشد دوم اینکه اینه آل یک ورودی بستگی می کند ولتاژ offset دوسر آن صفر است یعنی Vo در حالت ایده آل کاملاً صفر خواهد شد. سوم اینکه خازن پارازیتی دارد و سریع نخواهد بود حتی اگر سریع هم عمل کند خازن موجود در خروجی باز باعث زمان صعود و نزول کندرو می خواهد شد. سوم اینکه معکوس کننده واقعی آستانه قطع و وصل مشخص ندارد یعنی V_{DD} در اینجا ثابت است در حالی که ممکن است یک ورودی 3 ولتی یا 5 ولتی به مدار اعمال شود.

در مدارهای عملی بجای گیت از ترانزیستور (BJT یا MOS) و بجای R_L از یک ترانزیستور زیر استفاده می شود. چون MOS جای کمتری گیرد در مدارهای ساخته شده با MOS بجای عناصر بار از MOSFET استفاده می شود.

مشخصه انتقالی معکوس کننده:
در حالت ایده آل بصورت مقابل است





معمولاً جایی را برای ورودی نامعتبر یا خروجی از آن نامعتبر تعریف می‌کنند که شیب آن -1 است.

همچنین گفته غیر خطی است نکته ورودی نامعتبر آن.

حاشیهٔ امنیت نویز و تعریف نقاط بحرانی:

$NM_H = V_{OH} - V_{OL}$ حاشیه امنیت نویز بالا

$NM_L = V_{IL} - V_{OL}$ حاشیه امنیت نویز پائین

اگر نویز بر روی ورودی سوار شود تا مقدار معینی خروجی تأثیر نداشته باشد.

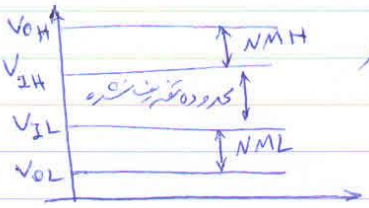
سازنده‌ها معمولاً برای این حالت‌ها را این چهار پارامتر تعریف می‌کنند

V_{OH}: ماکزیمم ولتاژی که در حالت 1 بودن در منطق قرار گیرد

V_{IH}: کمترین ولتاژ ورودی است که قبول آن بصورت منطق 1 در نظر گیرد

V_{OL}: کمترین مقداری که در منطق صفر خروجی می‌شود

V_{IL}: ماکزیمم ولتاژی که در منطق صفر قبول می‌شود



خواهیم دید که خانواده منطقی CMOS تقریباً بیشترین خروجی از همگی دارد آن برتری می‌دهد.

یک نقطه دیگر بنام نقطه میانی هم داریم V_M که در آن ولتاژ ورودی و ولتاژ خروجی یکی بوده در واقع این نقطه بر روی نیمساز ربع اول قرار دارد

$$V_M = V_{IN} = V_{OUT}$$

اتلاف توان:

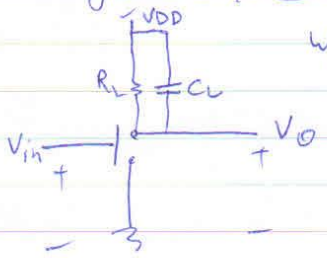
توان تلفاتی

ایستا: یعنی در یک حالت مثلاً روشن یا خاموش (0 یا 1) همواره تلف می‌کند. در حالتی که دروازه آن در حالت صفر است $\frac{V_{DD}^2}{R_L}$ و در حالت یک این توان صفر است و بطور متوسط $\frac{V_{DD}}{2R_L}$ خواهد بود

پویا: یعنی در حالت وصل کردن یا قطع کردن که $W = \int V_{DD} i\,dt = V_{DD}Q = C_L(V_{DD})^2$

چون در ابتدا انرژی ذخیره شده در داخل خازن صفر بوده و در انتها این مقدار مساوی $\frac{1}{2}C_L V_{DD}^2$ شده است بنابراین می‌توان نتیجه گرفت که نصف انرژی گرفته شده از منبع یعنی $W = C_L V_{DD}^2$ مربوط به مقاومت R_L تلف شده است یعنی

$$W_{RL} = \frac{1}{2}C_L V_{DD}^2$$



حال اگر کلید دوباره وصل شود خازن دوباره به حالت اولیه برگردد یعنی کلید ۱ بسته شده و انرژی ذخیره شده در خازن توسط R_{on} که کلید از خود نشان می‌دهد تخلیه می‌شود و از بین می‌رود. یعنی از یک منبع کامل به اندازه

$$W = W_{RL} + W_{ROUT} = \frac{1}{2}C_L V_{DD}^2 + \frac{1}{2}C_L V_{DD}^2 = C_L V_{DD}^2$$

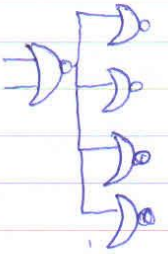
انرژی گرفته شده است.

اگر f دفعه در یک ثانیه کلید زنی انجام شود بنابراین متوسط انرژی که گرفته شده است

$$\text{توان مورد نیاز (دینامیک)} = f C_L V_{DD}^2$$

ظرفیت ورودی و ظرفیت خروجی:

ظرفیت ورودی یک گیت تعداد ورودی‌های آن می‌باشد. ظرفیت خروجی این گیت NOR برابر ۵ می‌باشد. ظرفیت خروجی مانند مفهوم تعداد گیت‌های متصل است که یک گیت می‌تواند با حفظ شخصه‌های خود آنها را تحریک کند. ظرفیت خروجی گیت در دو حالت H و L متفاوت می‌شود.



$$N_{High} = \frac{I_{OUT(High)}}{I_{IN(High)}}$$

$I_{OUT(High)}$: جریان خروجی گیت در حالت بالا

$I_{IN(High)}$: جریان ورودی گیت در حالت بالا

$$N_{Low} = \frac{I_{OUT(Low)}}{I_{IN(Low)}}$$

تعداد گیت‌های مدار است

$$N \leq Fan\text{-}OUT = \min(N_{High}, N_{Low})$$

$I_{OUT(Low)} = 54.3mA$

$I_{OUT(High)} = 71.4mA$

$I_{in(low)} = 2.43mA$

$I_{in(High)} = 98.9\mu A$

مثال محاسبه ظرفیت خروجی یک گیت

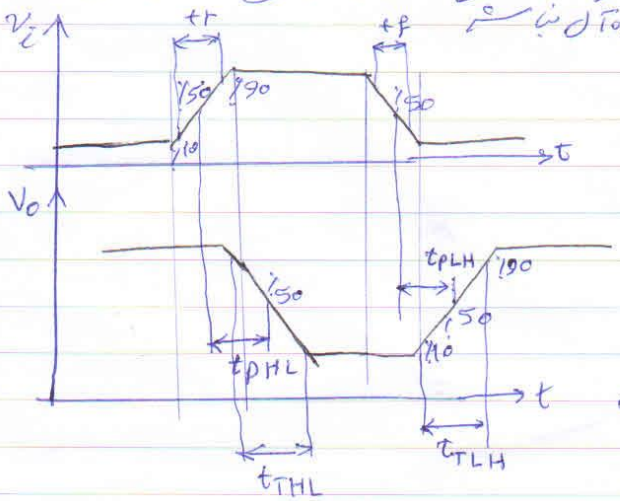
$$N_{Low} = \frac{54.3}{2.43} = 22$$

$$N_{High} = \frac{74.4mA}{98.9\mu A} = 721$$

$$\Rightarrow N = 22$$

تأخیر انتشار:

به علت عملکرد پویای ترانزیستورهای دوقطبی ممکن است مدار سیگنال کنترل پس بصورت آنی جواب ندهد و نیز ظرفیت پارازیتی واقع در خروجی معکوس کننده سبب می‌شود که شکل موج V_o بصورت پس ایده‌آل نباشد



بین پالس ورودی و خروجی تأخیر وجود دارد که معمولاً این تأخیر را زمان بین رسیدن به 50٪ لبه بالا رونده و پائین رونده می‌گیرند که با t_{PHL} (یعنی از بالا به پائین) و t_{PLH} در شکل نشان داده شده

تأخیر انتشار میانگین این دو است

$$t_p = \frac{1}{2}(t_{PHL} + t_{PLH})$$

در شکل زمانهای زیر را مشاهده می‌کنید

t_r : زمان صعود یعنی زمان لازم برای رسیدن ورودی از 10٪ به 90٪ مقدار نهایی خود

t_f : زمان نزول یعنی ~ ~ ~ ~ ~ ~ ~ ~ ~ ~ ~ ~ ~

t_{TLH} : زمان تغییر وضعیت خروجی از پائین به بالا یعنی زمان لازم برای رسیدن خروجی از 10 به 90 مقدار نهایی

t_{THL} : زمان لازم برای تغییر وضعیت خروجی از بالا به پائین یعنی مدت زمان لازم برای رسیدن خروجی از 90 به 10 مقدار نهایی خود

حاصل ضرب تأخیر-توان

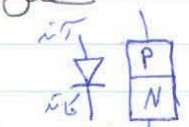
هرچه عدد D_P در یک خانواده کمتر باشد آن خانواده کارامدتر است.

$$DP = t_p P_D$$

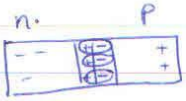
حاصل ضرب تأخیر-توان (ژول) = تأخیر انتشار × تلفات توان (وات)

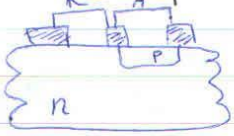
فصل دوم: دیودها

دیود:

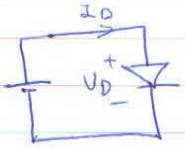


ماده n: ماده p:

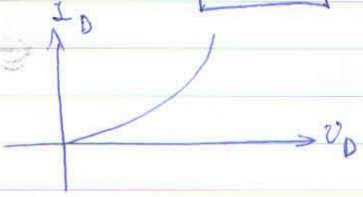




بایاس مستقیم



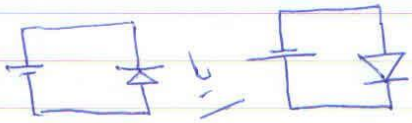
عدد ناچیز غلظت حامل های اقلیت باعث می شود جریان بخش drift بر جریان بخش diffusion غلبه می کند.



$$I_D = I_S\left(e^{\frac{V_D}{\phi_T}} - 1\right)$$

ϕ_T در دمای عادی 26mV است (در بعضی کتب با V_T نمایش داده می شود)

بایاس معکوس:



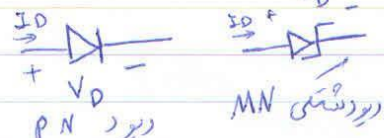
عدد ناچیز غلظت حامل های اقلیت باعث می شود جریان بخش drift بر جریان بخش diffusion غلبه می کند

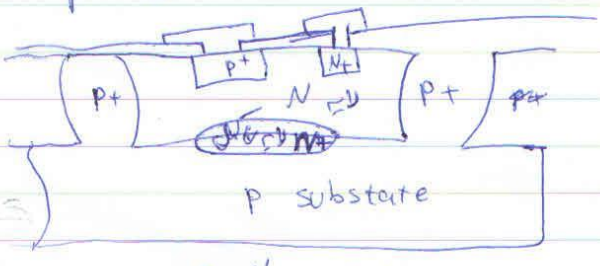
که بوسیله حامل های اقلیت ایجاد می شود و به جریان بخش غلبه می کند

$V_D \ll 0 \Rightarrow I_D = -I_S$ افزایش ول

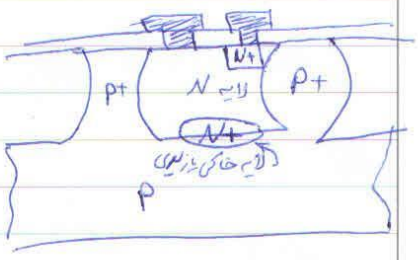
دیودهای پیوند PN و شاتکی MN

روش ساخت دیود شاتکی (Epitaxial) است





دیود P-N



دیودهای PN: معمولاً دو قسمت از سه قسمت ترانزیستور و قطعی را مورد استفاده قرار می دهند و مستقلاً ساخته می شوند

دیود های پیوند MN (شاتکی)

دیودی است که از پیوند یک فلز خاص مانند سیلیسایید پلاتینیم ($PtSi_2$) و یک قطعه N ایجاد می شود.

فلز
N

مدل دیود:

جریان اشباع معکوس (کمتر از pA برای PN، کمتر از μA برای MN)

رابطه شاتکی $I_D = I_S(e^{\frac{V_D}{\phi_T}} - 1)$

ولتاژ حرارتی $\phi_T = \frac{KT}{q}$ ← بار الکترون 1.6×10^{-19}

ثابت بولتزمان 1.34×10^{-23}

مثال: با فرض $I_S = 10^{-14}$ و مقادیر اتاق مقادیر I_D را برای ولتاژهای زیر حساب کنید

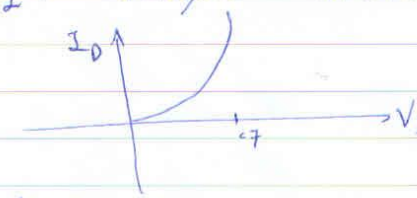
$V_D = .1, .2, .5, .7, .8, 1, 2.3$

$\phi_T(300^\circ K) = \frac{1.34\times10^{-23}\times300}{1.6\times10^{-19}} = 25.9mV \rightarrow \frac{1}{\phi_T} = 40$

$I_D(V_D=0.1) = 10^{-14}(e^{40(0.1)} - 1) = 536\ fA$ (فمتو آمپر) (10^{-15})

$I_D(V_D=0.2) = \dots = 29.8\ pA$ (پیکو آمپر (10^{-12}))

V:	.5	.7	.8	1	2.3
I:	4.85μA	14.5mA	790mA	2.35KA	9.02×10^{23}A



بنابراین ولتاژ دیود 0.5 ولت کمتر از آن جریان تقریباً صفر است و حتی جریان دیود حدود میلی آمپر است ولتاژ دیود بین 0.7 و 0.8 ولت قرار دارد. برای ولتاژهای بالای یک ولت جریان دیود به شدت افزایش می یابد برای $V_D = 2.3$ توان آنقدر بالاست که دیود بلافاصله می سوزد.

مقادیر جریان دیود پیوندی N-p در بایاس معکوس

در مثال قبل برای $V_D = -1mV, -10mV, -100mV, -200mV$ مقادیر جریان I_D را حساب کنید

$I_D(V_D=-1mV) = 10^{-14}[e^{40(-1mV)} - 1] = -392\ aA$ آنتستو آمپر

$I_D(V_D=-10mV) = -3.30\ fA$ ، $I_D(V_D=100mV) = -9.82\ fA$

$I_D(V_D=-200mV) = -10\ fA = -10^{-14}$ مقدار جریان $V_D < -200mV$ در واقع برای

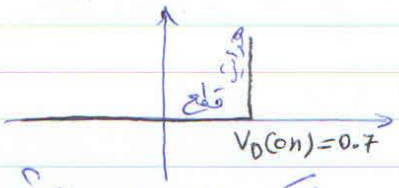
معکوس برابر I_S خواهد شد $(V_D < .2^V)$ به همین دلیل آن را جریان اشباع معکوس گوینید

پس در دو شال قبل

$I_D(V_D > 0.1) \simeq I_S e^{V_D/\Phi_T}$

$I_D(V_D < 0.1) \simeq -I_S$

مدل خطی تکه ای برای دیود



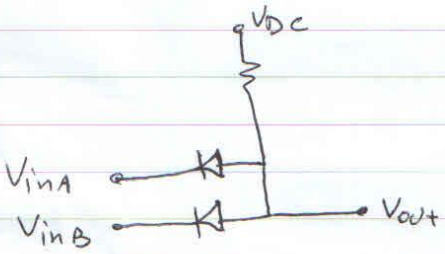
$I_D = \begin{cases} 0 & V_D < V_{D(on)} = 0.7 \\ I & V_D \geq V_{D(on)} \end{cases}$ جریان مدار (مثبت)

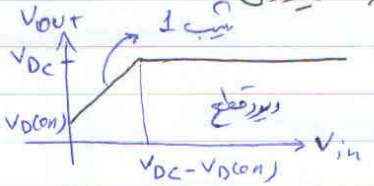
$V_{D(on)}$ برای دیودهای سیلیکنی 0.7 (P-N) و برای دیودهای ژرمنیمی 0.3 ولت می باشد

منطق دیود - مقاومت

یعنی ساخت قطعات منطقی با استفاده از دیود و مقاومت

گیت AND دیودی



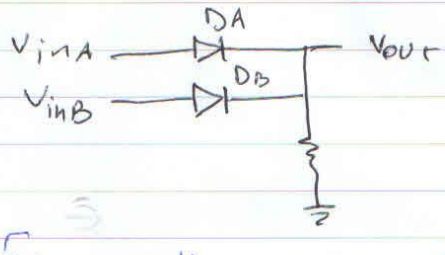


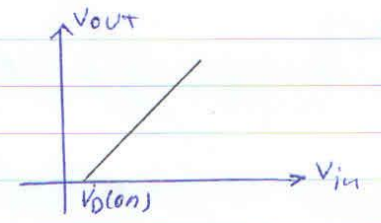
A	B	A AND B
0	0	0
0	1	0
1	0	0
1	1	1

هرکدام از دیودها بواسطه کم بودن ورودی و بوطه روشن شود باعث صفر شدن خروجی خواهد شد (تقریباً V_D) که در این صورت جریان مدار برابر خواهد بود $I_R = \frac{V_{DC} - V_{D(on)} - V_{IN}}{R}$

و آنهم دیود دیود ولتاژی بیشتر از $V_{DC} - V_{DC(on)}$ داشته باشد هردو دیود قطع بوده و خروجی برابر V_{DC} خواهد بود

گیت OR





A	B	A OR B
0	0	0
0	1	1
1	0	1
1	1	1

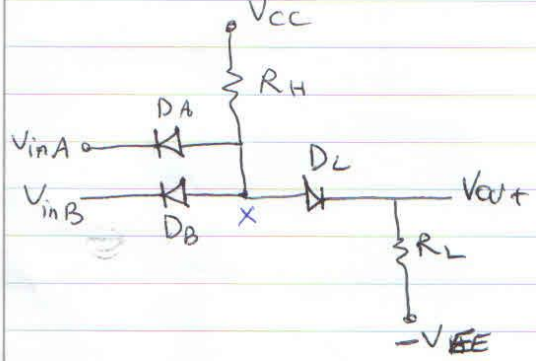
اگر ورودیها کمتر از $V_{D(on)}$ مقدار داشته باشند (صفر منطقی) خروجی مدار صفر خواهد بود و بعد از آن خروجی مدار بواسطه یک شدن هرکدام از ورودیها یک خواهد شد

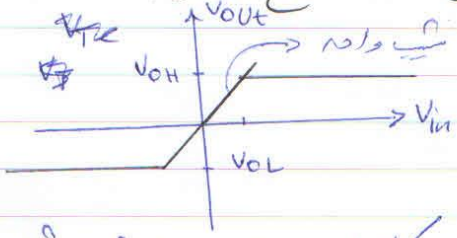
مثال: در مدار مقابل آیا اگر $V_{inA} > V_{inB}$ باشد DA قطع خواهد بود؟ بله

منطق دیود مقاومت با سطح منتقل شده

در شکل های قبلی ورودی بعدی ولتاژ خروجی برابر صفر یک شده و ولتاژ ورودی بستگی داشت و گاهی معلوم نبود که یک شده یا صفر (سطح ولتاژ منطقی)

گیت AND با سطح انتقال یافته



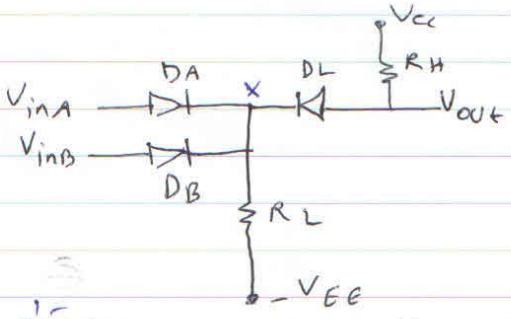


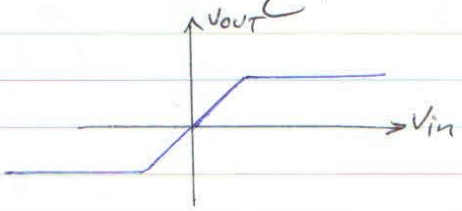
وقتی هرکدام از ورودها صفر ولتاژ باشد دیود مربوطه وصل شده و باعث می شود $V_{out}=V_X-V_{DL_{on}}=V_{in}$ داریم $V_X=V_{in}+V_{D_{in}(on)}$ شود و در صورت هدایت کردن D_V در واقع ولتاژهای ورودی از حالت ضعیف شده توجه کنید ولتاژ خروجی کمتر از $-V_{EE}$ نباشد وگرنه D_L قطع می شود. حال اگر هردو ولتاژ ورودی زیاد باشد که دیودها قطع خواهند بود در این صورت

$$V_{out}=V_{CC}-I_{DL(on)}R_H-V_{DL(on)} \;\&\; I_{DL}=\frac{V_{CC}+V_{EE}-V_{DL(on)}}{R_H+R_L}$$

در واقع شکل انتقالی برای این مدار از بدایر خواهد بود

گیت OR با سطح انتقال یافته





هردو دیود قطع $\rightarrow$ $V_{out}=V_{CC}-R_H\left(\frac{V_{CC}+V_{EE}-V_{D(on)}}{R_H+R_L}\right)$

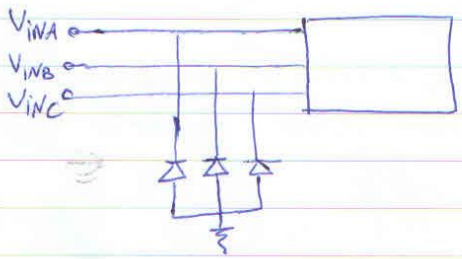
اگر هرکدام از دیودها روشن شود $V_{out}=V_X-V_{DL_{on}}=V_{in}+V_{D_{on}}-V_{D_{on}}=V_{in}$

(11)

مثال: در مدار زیر $V_{CC}=4V$ ، $V_{D(on)}=0.7$ ، $R_H=1K\Omega$ ، $R_L=2K\Omega$ است. ولتاژ خروجی در حالت بیشینه و کمینه را محاسبه کنید.

$$V_{OL}=-4V \quad , \quad V_{OH}=4-\frac{4+4-0.7}{1+2}\times 1-0.7=0.87V$$

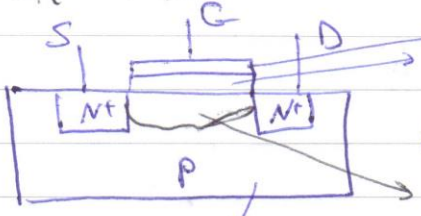
دیودهای محدودکننده:



آن‌ها برای محدود کردن مقادیر ولتاژ ورودی به مقادیری که از نظر منطقی قابل قبول هستند، به کار می‌روند. به عبارت دیگر، دیودها طوری عمل می‌کنند که ولتاژ ورودی از مقدار مشخصی بالاتر یا پایین‌تر نرود.

بیشترین استفاده دیودهای محدودکننده در خانواده TTL است که بعداً خواهیم دید.

فصل سوم: آشنایی با طرز کار MOSFET ها و روابط حاکم بر آنها

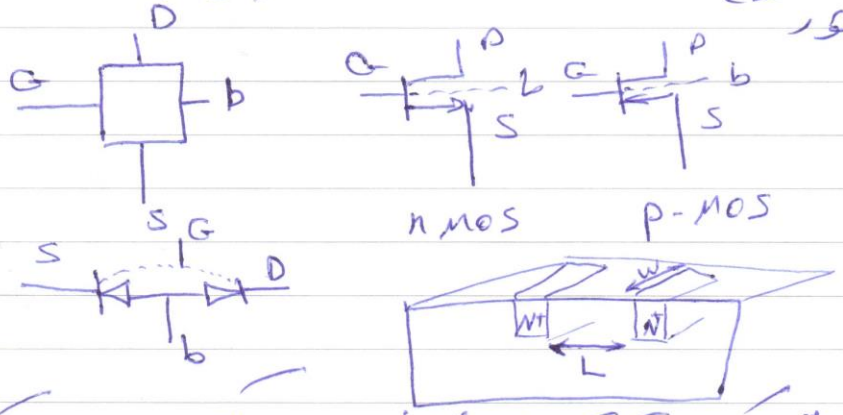


بسته به نوع کانال ماسفت به نام n یا p نامیده می شود.
در واقع یک نوع از حامل ها جریان را هدایت می کند به همین دلیل به آنها تک قطبی (در مقابل دو قطبی BjT) گفته می شود.
پیشتر مدارات مجتمع و حافظه ها را بر پایه تکنولوژی MOS ساخته می شود. سرعت آنها کمتر از BjT است ولی قیمت ارزانتر، توان پایین تر و تکنولوژی ساخت راحتتر آنها را در اولویت قرار داده است.

ساختار و عملکرد فیزیکی MOSFET افزایشی

MOS = metal-oxid-semiconductor

در شکل بالا شماتیک داده شده است. N^+ یعنی غلظت N آن زیاد است.
SiO_2 یعنی اکسید سیلیسیم یک عایق بسیار خوب است که بین گیت و بدنه قرار می گیرد تا جریان گیت کم شود.



گیت جریان I_{DS} را کنترل می کند که از نیمه کانال عبور می کند. MOS برعکس BjT کاملا متقارن است و آثار های D و S را عوض کنیم تغییری بوجود نمی آید.

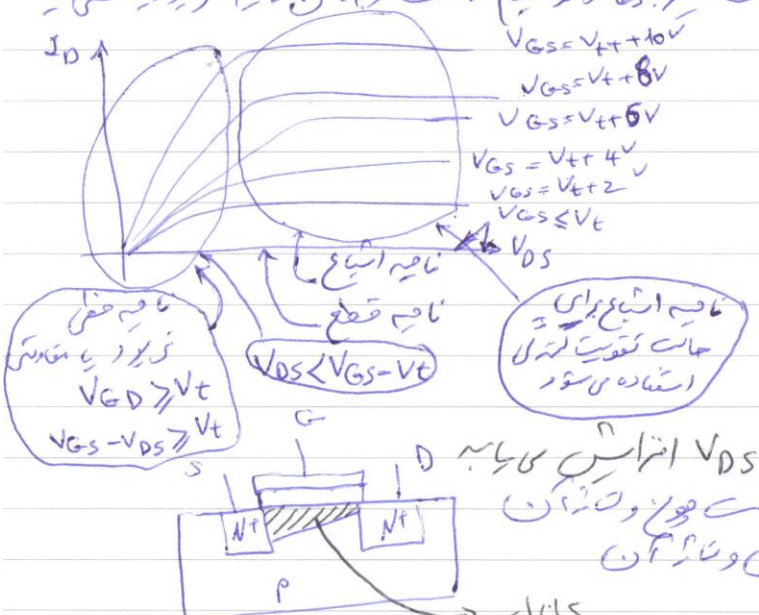
ایجاد کانال برای عبور جریان:

آند D و کاتد S را زیر کنیم و به G یک ولتاژ مثبت اعمال کنیم یک کانال از بارهای منفی همان N مانند شکل بالا ایجاد می شود که باعث جریان D به S می شود.
V_{GS} حداقل برای هدایت یا تشکیل کانال را ولتاژ آستانه گویند (V_t) که تقریبا 1 ولت است

یک خازن بین گیت و بدنه بواسطه لایه اکسید که نقش دی الکتریک را دارد ایجاد شده و ولتاژ کانال و در نتیجه I_{DS} را کنترل می‌کند

اعمال ولتاژ کم به D

اگر V_{DS} خیلی کم باشد مانند مقاومت تغییر V_{GS} را فراهم آمده و به آن ناحیه تریود یا خطی یا مقاومتی می‌گوییم



برای آنکه کانال تشکیل شود باید $V_{GS}>V_t$ باشد به همین دلیل به آن کار را وجه افزایشی گوییم و همین دلیل آن را ماسفت افزایشی می‌گوییم توجه کنید که $I_G=0$ است و $I_D=I_S$

کار MOSFET در حالتی که V_{DS} افزایش می‌یابد

کانال در سمت سورس ضخیم‌تر است چون ولتاژ آن V_{GS} است ولی در سمت درین ولتاژ آن $V_{GS}-V_{DS}$ خواهد بود

اگر $V_{DS}>V_{GS}-V_t$

در این حالت عمق کانال در سمت درین به صفر می‌رسد و تقریباً کانال مسدود شده است و افزایش V_{DS} از این مقدار اثر ناچیزی بر شکل دارد و جریان فقط به $V_{GS}-V_t$ بستگی دارد و جریان ثابت می‌ماند و در واقع به ناحیه اشباع رفته است

$$I_D=K(V_{GS}-V_t)^2(1+\lambda V_{DS})$$

λ شیب ماسفت است

کار ترانزیستور در ناحیه زیر آستانه

وقتی $V_{GS}<V_t$ باشد جریان I_D مقدار خیلی کمی خواهد بود که به آن جریان زیر آستانه و به این ناحیه ناحیه زیر آستانه تقویت و در آن $I_D\propto e^{KV_{GS}}$

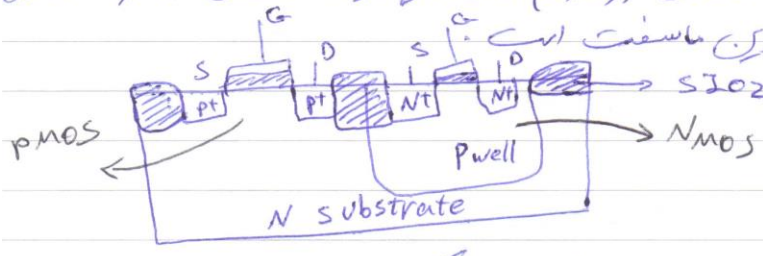
ماسفت کانال P

بدنه ماده N بوده و D و S از P^+ تشکیل شده است. یعنی آن ماسفت کانال N است ولی برای V_{GS} و V_{DS} منفی‌اند و ولتاژ آستانه V_t هم منفی است NMOS با ترانزیستور

کوچکتر از pMOS بسازیم و سرعت آن بالاتر خواهد بود و امروزه جای pMOS را گرفته است. ولی باید آن را یاد بگیریم چون هنوز برای طراحی برخی مدارهای نامتقارن استفاده می‌شود و از طرفی در برخی مواقع در مدارات مجتمع برای برخی طراحی‌ها مدار نیاز به nMOS دارد.

ماسفت تکمیلی یا CMOS (Complementary mos)

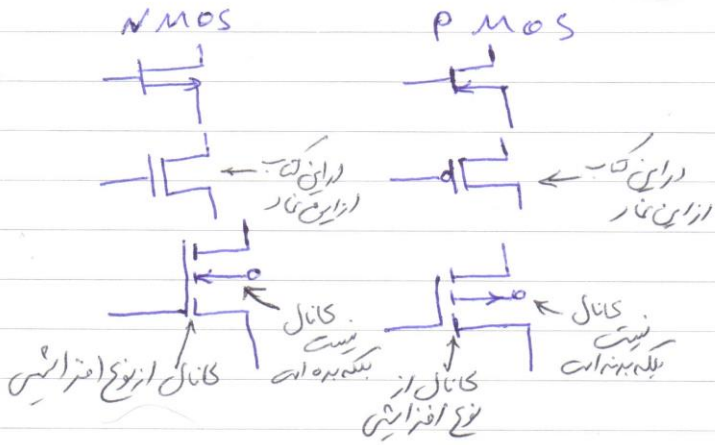
از هر دو نوع pMOS و nMOS در کنار هم استفاده می‌شود. ساخت آن نسبت به قبل است ولی چون پرکاربردترین است امروزه رایج‌ترین ماسفت است.



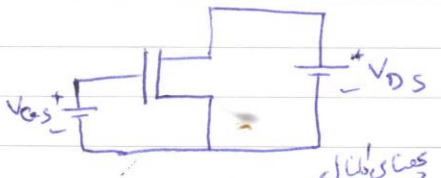
توجه کنید که NMOS در ناحیه‌ای خاص بنام چاه p ایجاد شده است.

یک لایه اکسید که عایق است دو ترانزیستور را از هم جدا کرده است.

نمادهای مداری



مشخصه جریان - ولتاژ ماسفت افزایشی



در ناحیه قطع $V_{DS} < V_{GS} - V_t$ است

والبته $V_{GS} > V_t$ باید باشد. در ناحیه خطی داریم

$$I_D = K_n \left[(V_{GS} - V_t) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

که K_n پارامتر ماسفت نوع n است و از رابطه $K_n = \mu_n C_{ox} \left(\frac{W}{L}\right)$ به دست می‌آید.

μ_n: موبیلیتی، C_{ox}: خازن واحد سطح گیت، $\frac{W}{L}$: پهنای کانال / طول کانال

μ_n موبیلتی یا تحرک پذیری الکترون نام دارد

وقتی $V_{DS} \ll 2(V_{GS}-V_t)$ آنقدر کم است که از V_{DS}^2 می توانیم صرفنظر کنیم

$$\Rightarrow I_D = K_n (V_{GS}-V_t) V_{DS}$$

یا

$$r_{dc} = \frac{V_{DS}}{I_D} = \frac{1}{K_n (V_{GS}-V_t)}$$

که یک مقاومت کنترل شونده با ولتاژ است

شرط کانال مسدود (ناحیه اشباع)

$$V_{GD} \leq V_t \quad \text{یا} \quad V_{DS} \geq V_{GS}-V_t$$

تفاوت‌های ماسفت کانال P

$V_t < 0$ ولتاژی با آن اعمال می‌کنیم که منفی باشد، کانال القا شود و بیش $V_{GS} < V_t$ ولتاژی به درین اعمال می‌کنیم که منفی‌تر از ولتاژ سورس باشد (یعنی V_{DS} منفی است یا به اندازه‌ای کمتر V_{SD} است)

ناحیه خطی: $V_{DS} \geq V_{GS}-V_t \rightarrow I_D = K_p \left[(V_{GS}-V_t)V_{DS} - \frac{V_{DS}^2}{2} \right]$

$K_p = \mu_p C_{ox} \left(\frac{W}{L}\right)$ ← گذردهی حفره در کانال P

μ_p ← تحرک پذیری حفره

C_{ox} ← ظرفیت خازن

ناحیه اشباع: $I_D = \frac{K_p}{2}(V_{GS}-V_t)^2$

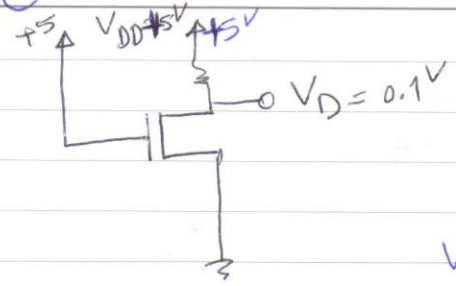
$K_p < K_n$ چون $\mu_n = 2.5\mu_p$

تخلیه ای MOSFET

مانند ماسفت افزایشی است با این تفاوت که از ابتدا در آن کانال تعبیه شده است و دیگر نیازی به القای کانال نیست. V_{GS} را می‌توانیم منفی هم بگیریم تا کانال تخلیه شود. به همین دلیل به آنها تخلیه ای می‌گوییم. درینی ولتاژ آستانه بین V_{GS} که تقریباً منفی است و از آن I_D برابر صفر است را V_t نشان می‌دهیم

شکل مداری

(16)



مثال: در مدار زیر ولتاژ درین 0.1 ولت است ولتاژ بین درین و سورس در نقطه کار چقدر است؟ فرض کنید $V_t = 1^V$ و $K_n = 0.5 \frac{mA}{V^2}$

$V_{GS} = 5$

$V_{DS} = 0.1 < V_{GS} - V_t = 5 - 1 = 4$

پس در ناحیه خطی کار می‌کند

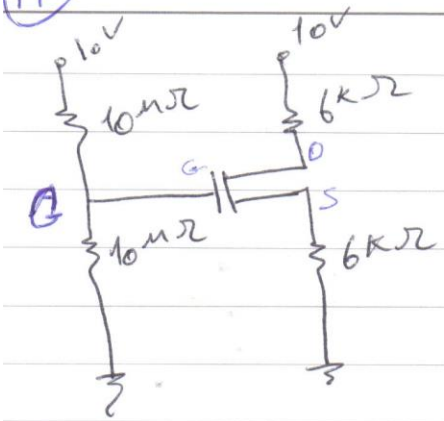
$$I_D = K_n \left[(V_{GS} - V_t) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$= 1 \left[(5-1)0.1 - \frac{0.01}{2} \right] = 0.395 mA$$

$$r_{ds} = \frac{V_{DS}}{I_D} = \frac{0.1^V}{0.395^{mA}} = 235\,\Omega$$

جدول خلاصه

نوع کانال	کانال N	کانال P
	MOS افزایشی	MOS تخلیه	MOS افزایشی	MOS کا
V_t	+	−	−	+
K	$\mu_n C_{ox} (W/L)$		$\mu_p C_{ox} (W/L)$	
شرط وصل	$V_{GS} > V_t$		$V_{GS} < V_t$	
V_{DS}	+		−	
رابطه در ناحیه تریود	$V_{DS} \leq V_{GS} - V_t$		$V_{DS} \geq V_{GS} - V_t$	
رابطه در ناحیه اشباع	$V_{DS} \geq V_{GS} - V_t$		$V_{DS} \leq V_{GS} - V_t$	
$\lambda = 1/V_A$	+		+	
رابطه ناحیه تریود	$I_D = K \left[(V_{GS} - V_t) V_{DS} - \frac{V_{DS}^2}{2} \right]$			
رابطه ناحیه اشباع	$I_D = \frac{K}{2} (V_{GS} - V_t)^2 (1 + \lambda V_{DS})$			



مثال: ترانزیستور مقابل در ناحیه اشباع کار می‌کند
$V_t = 1V$ ، $k_n = 1 mA/V^2$
ولتاژ سورس کانال را مشخص کنید

$$V_G = \frac{10}{10+10} \times 10 = 5$$

$$V_{DS} = 10 - 12 I_D$$
$$V_{GS} = 5 - 6 I_D$$
$$V_{GD} = 5 - 6 I_D$$

حال فرض می‌کنیم در ناحیه اشباع باشیم در این صورت

$$I_D = \frac{K_p}{2}(V_{GS} - V_t)^2 \rightarrow I_D = \frac{1}{2}(5 - 6I_D - 1)^2$$
$$\Rightarrow 18 I_D^2 - 25 I_D + 8 = 0$$

جواب قابل قبول

$0.89 mA \rightarrow V_{GS} = -0.34$

$0.5 mA \rightarrow V_{GS} = 2V$

$V_{DS} = 4V$

چون $V_{DS} > V_{GS} - V_t$ پس فرض اولیه ما در ناحیه اشباع کار می‌کند درست است

اثر بدنه:

غالب بدنه به سورس وصل می‌شود و در این حالت نقشی در کار ندارد. اما در IC‌ها زیرا چند ترانزیستور مشترک است و برای حفظ حالت مانایی معکوس زیرلایه به منفی‌ترین منبع مدار NMOS (یا مثبت‌ترین منبع مدار pMOS) وصل می‌شود.

V_{SB} بر روی کار مدار تأثیر می‌گذارد

مثلاً در nMOS فرض کنید زیرلایه نسبت به سورس منفی‌تر باشد پس ناحیه تهی‌تر می‌شود و برای بازگرداندن کانال به حالت اولیه باید V_{GS} را افزایش دهیم

در واقع V_{SB} روی ولتاژ آستانه تأثیر می‌گذارد

$$V_t = V_{t0} + \gamma\left[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}\right]$$

ولتاژ آستانه در $V_{SB}=0$

اثر دما:

V_t و K هردو به دما حساسند

V_t هر درجه افزایش $\Rightarrow$ $2\,mV$ کاهش $\Rightarrow$ $I_D \uparrow$

K کاهش می‌یابد

واثر آن غالب بر اثر کاهش V_t

$\Rightarrow I_D \downarrow$ با افزایش

ت I_D با افزایش

ا کاهش می‌یابد

دیده شکست وحفاظت ورودی

قتی ولتاژ این افزایش داده به مقداری می‌رسد که دیود PN بین ناحیه درین و ز

احار شکست بهمنی می‌شود (معمولاً در 50 تا 100 ولت) و باعث افزایش سریع جریا

وقتی ولتاژ گیت از شکست V_{GS} از حدود 50 ولت بیشتر می‌شود که با

شکست اکسید گیت و سبب خرابی دائم ترانزیستور می‌شود

ون مقاومت گیت بالا است انباشته شدن مقدار کمی بار روی گیت باعث بوجود آمدن ول

بالا از این مقدار نیز خواهد شد و برای جلوگیری از این موضوع در ورودی مدارهای

مجتمع محافظ می‌گذارند.

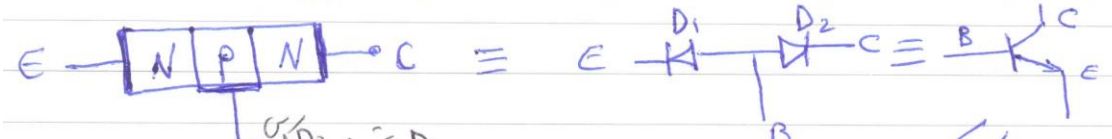
ر وانواع از دیودهای محافظ استفاده می‌شود که در فصل دوم گفته شد

فصل ششم : مدارهای منطقی مبتنی بر ترانزیستورهای دوقطبی

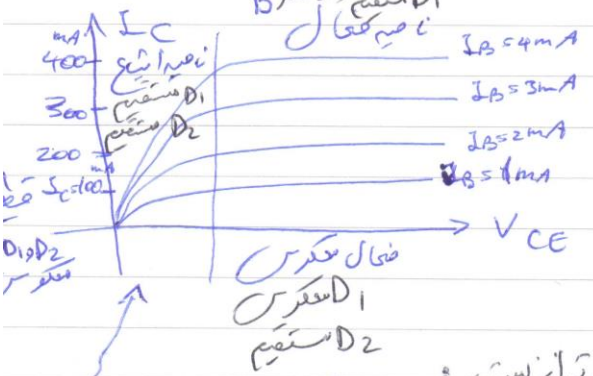
اوایل جدید TTL ها ضربه‌ای حدود 1.5 نانوثانیه دارند که از ترانزیستورهای دوقطبی در آنها استفاده می‌شود و از به اشباع رفتن ترانزیستورها جلوگیری می‌شود.

ساختمان فیزیکی و وجوه عملکرد ترانزیستور دوقطبی

الکترونها و حفره‌ها هردو جریان را هدایت می‌کنند به همین دلیل به آن دوقطبی می‌گویند



بیس کلکتور مستقیم D_1 بیس کلکتور مستقیم D_2



بدون بیس کلکتور از امیتر است، جریان بیس و از امیتر به راهی به کلکتور بر سر کلکتور است امیتر را معمولاً بالا می‌گیرند تا جریان هی در جهت مستقیم بیشتر باشد رض کلکتور را بزرگتری سازند تا بارهای سیده از امیتر را به راهی جمع کند.

روابط حاکم موجود در حالت کاری فعال ترانزیستور:

$$i_C = I_S e^{V_{BE}/V_T}$$

I_S: جریان اشباع — V_T: ولتاژ گرمایی

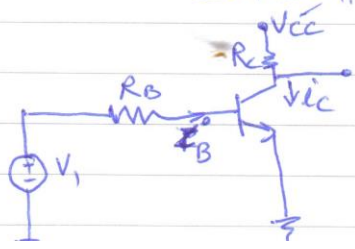
$$i_B = \frac{i_C}{B}$$

B ضریب تقویت است و در ترانزیستورهای حدود بین 100 تا 200 می‌باشد و در شکل عزدار بالا 100 در نظر گرفته شده است

$$i_E = i_C + i_B = (B+1) i_B = \frac{B+1}{B} I_C \quad ، \quad I_C = \frac{B}{B+1} I_E$$

α عبارتی است که کمتر از یک و خیلی نزدیک به یک است

کارکرد ترانزیستور در حالت اشباع:



در حالت فعال داریم :

$$I_B = \frac{V_I - V_{BE}}{R_B}$$

$$i_C = B i_B \quad ، \quad i_E = i_C + i_B$$

$V_O = V_C = V_{CC} - R_C i_C$

اگر i_C زیاد شود V_{CE} کم می‌شود و جایی می‌رسیم که V_C کمتر از V_{BE} شود و دیود B-C بایاس مستقیم می‌شود و وارد ناحیه اشباع می‌شویم. (البته اگر اشباع نرم باشد کلکتور می‌تواند دریافت کند بدون آنکه از حالت فعال خارج شود و راحت به عنوان کلکتور با B اتصال کوتاه باشد)

$\hat{i}_C = \frac{V_{CC} - V_B}{R_C} = \frac{V_{CC} - 0.7}{R_C}$ یا $\hat{i}_B = \frac{\hat{i}_C}{B}$

می‌توان V_I متناظر با $\hat{i}_B$ را حساب نمود

$V_I = R_B \hat{i}_B + 0.7$

اگر i_B از این حد بیشتر شود i_C اضافه‌تر نمی‌شود و در یک مقدار ثابت باقی می‌ماند. در حالت اشباع $\frac{i_C}{i_B} < B$ می‌باشد و در حالت اشباع V_{CE} در یک مقدار ثابت حدود 0.2 ولت قرار می‌گیرد. در این حالت

$i_C = \delta B i_B$

$\delta \leq 1$ ← میزان نواحی اشباع و فعال

مستقیم را نشان می‌دهد

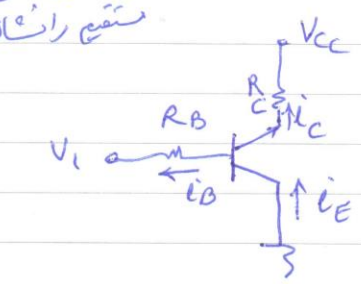
کارکرد ترانزیستور در وضعیت فعال معکوس:

در این وضعیت در واقع i_B معکوس می‌شود و

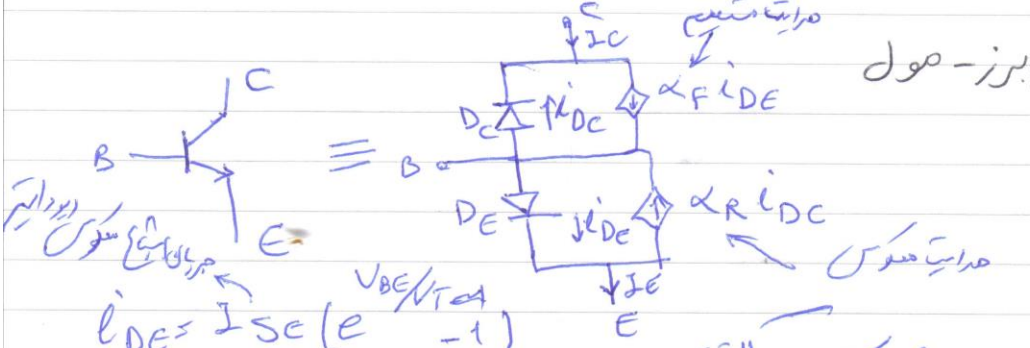
در این وضعیت B_R را داریم

$I_C = B_R I_B$ ، $I_E = (B_R + 1) I_B$

در این حالت کاربرد چندانی ندارد



مدل ابرز-مول



α_F نزدیک به یک است و α_R مقادیری از ۰.۵ تا ۰.۲ دارد. اگر ترانزیستور در حالت مستقیم جریان کلکتور را اندازه بگیریم برابر امیتر برابر است.

$$I_C \simeq I_E$$

از طرفی

$$\alpha_F I_{SE} = \alpha_R I_{SC} = I_S \xrightarrow{\alpha_F \simeq 1} I_{SE} \simeq I_S$$

حال مطابق شکل داریم:

$$i_E = i_{DE} - \alpha_R i_{DC} = \frac{I_S}{\alpha_F}\left(e^{V_{BE}/V_T} - 1\right) - I_S\left(e^{V_{BC}/V_T} - 1\right)$$

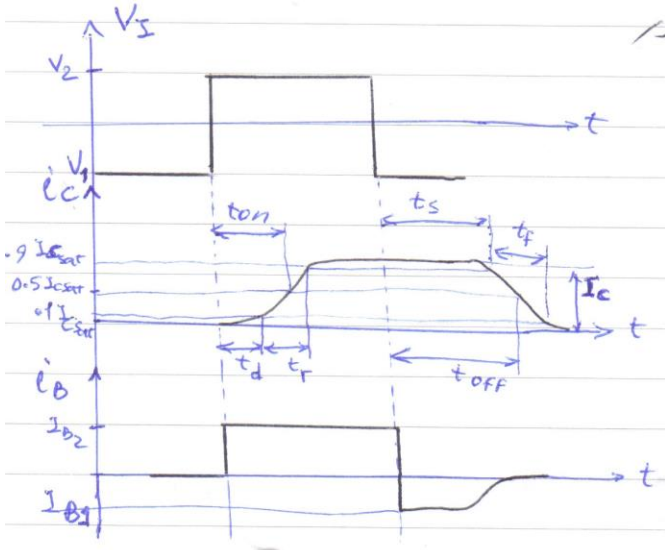
$$i_C = -i_{DC} + \alpha_F i_{DE} = I_S\left(e^{V_{BE}/V_T} - 1\right) - \frac{I_S}{\alpha_R}\left(e^{V_{BC}/V_T} - 1\right)$$

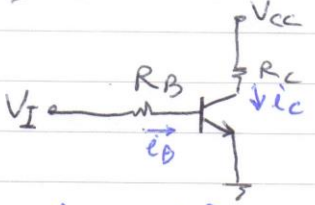
$$i_B = (1-\alpha_F) i_{DE} + (1-\alpha_R) i_{DC} = \frac{I_S}{B_F}\left(e^{V_{BE}/V_T} - 1\right) + \frac{I_S}{B_R}\left(e^{V_{BC}/V_T} - 1\right)$$

$$B_F = \frac{\alpha_F}{1-\alpha_F} \qquad B_R = \frac{\alpha_R}{1-\alpha_R}$$

که

زمانهای سوئیچینگ ترانزیستور





t_d بین زمان تأخیر برای روشن خازن ناحیه تهی پیوند امیتر بیس و رسیدن به ولتاژ بایاس مستقیم V_{BE} (تقریباً ۰.۷ ولت) می‌باشد.

$$I_{B_2} = \frac{V_2 - V_{BE}}{R_B}$$

I_C جریان اشباع کلکتور است.

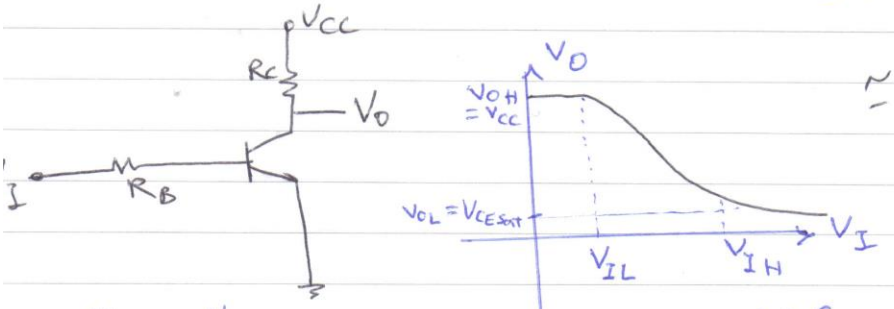
t_s زمان ذخیره نام دارد که زمانی است که طول می‌کشد تا خازن BE تخلیه شود

ton زمان روشن شدن سوئیچ، t_{off} زمان خاموش شدن سوئیچ، t_r زمان صعود، t_f زمان نزول

منطق های مبتنی بر ترانزیستورهای دو قطبی

منطق مقاومت ترانزیستور در 1960 بوجود آمد و انواع مختلف گیت های NOT، AND، NAND و غیره توسط این منطق پیاده سازی می شود که با تنظیم مقاومت ها انواع سرعت و توان آنها قابل دسترسی است.

معکوس کننده یا بافر



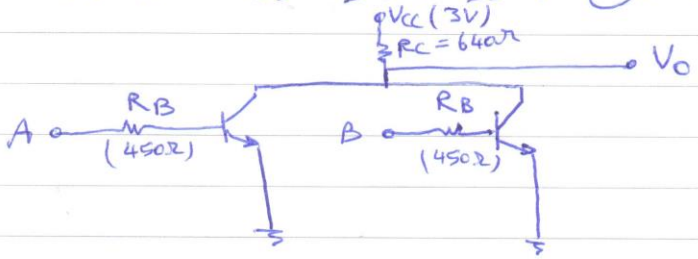
$V_I < V_{IL}$ ترانزیستور قطع است و V_o برابر V_{cc} است ← $V_{OH} = V_{cc}$

$V_I = V_{IH}$ ترانزیستور به حالت اشباع می رود و ولتاژ خروجی برابر V_{CE} اشباع می شود

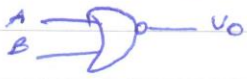
$$V_{OL} = V_{CE-sat} = 0.2$$

منطق مقاومت - ترانزیستور Resistor-Transistor Logic

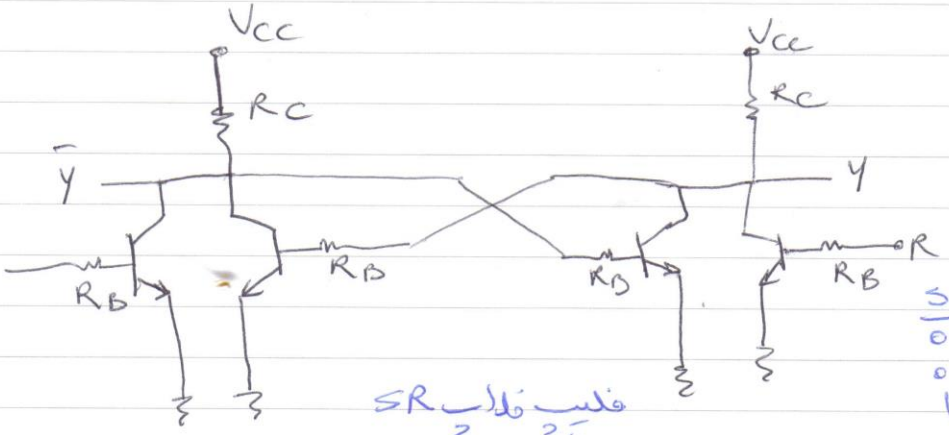
با موازی کردن خروجی های دو یا چند معکوس کننده پایه، همراه گیت پایه ساخته می شود



شکل مقابل یک گیت NOR دو ورودی را نشان می دهد.



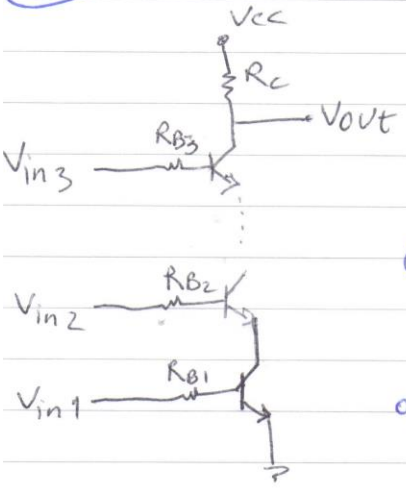
A	B	Vo
0	0	1
0	1	0
1	0	0
1	1	0



فلیپ فلاپ SR با منطق RTL

S	R	Y_{n+1}	$\bar{Y}$
0	0	Y_n	$\bar{Y}$
0	1	0	1
1	0	1	
1	1		

گیت NAND منطق RTL



ورودی	$V_{in1} \cdots V_{in3}$
صفر	همه ورودیها یک
یک	درغیر این صورت

اگر همه ورودیها بالا باشند همه ترانزیستورها به حالت اشباع رفته و در واقع خروجی صفر خواهد بود که همان

$$V_{OL} = \sum_{i=1}^{n} V_{CE(sat)}$$

و اهربود مثلاً در مدار سه ورودی با ولتاژ اشباع 0.2 ترانزیستور $V_{OL} = 0.2+0.2+0.2$ خواهد بود

همین دلیل در این منطق Fan-in با تعداد ورودیهای مجاز برای گیت NAND محدود است در حالی که برای NOR این محدودیت وجود ندارد.

وصل

حتی این مدار NAND مثلاً با یک مقاومت بایاس بصورت بایاس کلکتور باید ولتاژ V_{OL} کمتر از ولتاژ فعال کردن BE این ترانزیستور که 0.7 است باشد پس

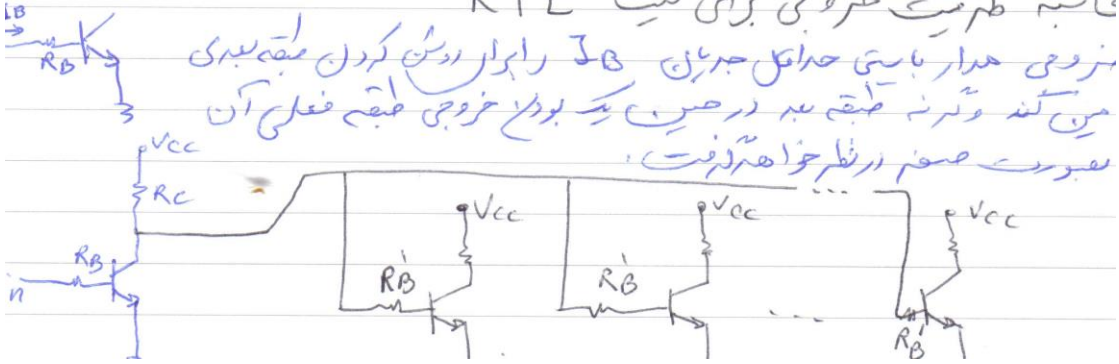
$$\sum_{n} V_{CE(sat)} < V_{BE(FA)}$$

مثال: اگر برای گیت NAND که با منطق RTL پیاده سازی شده است $V_{CE(sat)} = 0.17V$ و $V_{BE(FA)} = 0.7V$ باشد حداکثر تعداد ورودی مجاز گیت را تعیین کنید

$$n\, V_{CE(sat)} < V_{BE(sat)} \Rightarrow n < \left| \frac{0.7}{0.17} \right| = 4$$

پس گیت NAND با این ترانزیستور بیشتر از 4 ورودی نمی‌توانیم داشته باشیم

مقایسه ظرفیت خروجی برای گیت RTL



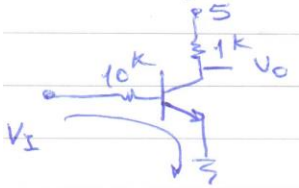
خروجی مدار بایستی حداقل جریان I_B را برای روشن کردن طبقه بعدی تامین کند و گرنه طبقه بعد در حین یک بودن خروجی طبقه فعلی آن بصورت صفر در نظر خواهد گرفت.

در دوانع ی خواهیم برانیم یک گیت قابلیت فعال سازی چند گیت دیگر را بطور همزمان دارد.

$$\frac{V_{CC}-V_{OUT}}{R_C} = N \cdot \frac{V_{OUT}-V_{BE(SAT)}}{R_B} \Rightarrow N \le \frac{V_{CC}-V_{OUT}}{V_{OUT}-V_{BE(sat)}} \cdot \frac{R_B}{R_C}$$

مثال: حداکثر تعداد خروجی را برای یک گیت RTL با $V_{CC}=5^V$ و $R_B=10k$ ، $R_C=1k$ ، $V_{CE(SAT)}=0.2$ محاسبه کنید

$V_{BE(SAT)}=0.8V$ ، $\beta_F=25$ ، $V_{CE}=0.2^V$



برای اینجا $I_C = \frac{V_{CC}-V_{CE(SAT)}}{R_C} = \frac{5-0.2}{1^k}$

$$I_B = \frac{I_C}{\beta} = \frac{5-0.2}{25} \Rightarrow V_{IH} = 10 I_B + V_{BE(FA)}$$

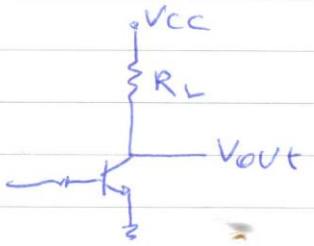
$$\Rightarrow V_{IH} = V_{BE(FA)} + \frac{V_{CC}-V_{CE(SAT)}}{\beta R_C} \cdot R_B = 0 + \frac{5-0.2}{25 \times 1} \times 10 \simeq 2.7^V$$

برای این منظور V_{OH} بیشتر از بهترین حالت بین همان 2.7^V در نظر گرفته شود.

$$N = \frac{V_{CC}-V_{OH(min)}}{V_{OH(min)}-V_{BE(SAT)}} \cdot \frac{R_B}{R_C} = \frac{5-2.7}{2.7-0.8} \cdot \frac{10^k}{1^k} = 12.1$$

Fan-out = 12

محاسبهٔ توان مصرفی در منطق RTL



الف) خروجی بدون بار:

$I_{(H)} = 0$

$I_{(OL)} = \frac{V_{CC}-V_{CE(sat)}}{R_C}$

$P_{CC(avg)} = \frac{I_{(H)}+I_{(OL)}}{2} \cdot V_{CC}$

$= \frac{V_{CC}-V_{CE(sat)}}{2} \cdot V_{CC}$

ب) خروجی دارای باربوده و N گیت به خروجی گیت مورد نظر متصل است

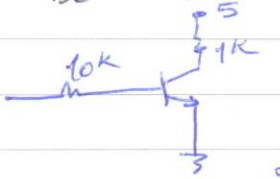
$$I_{(OH)} = \frac{V_{cc} - V_{BE(Sat)}}{R_C + \frac{R_B}{N}} \quad , \quad I_{(OL)} = \frac{V_{cc} - V_{CE(sat)}}{R_C} \quad , \quad P_{ac(av)} = \frac{I_{(OH)} + I_{(OL)}}{2}$$

مثال: توان مصرفی را در یک گیت RTL با پارامترهای زیر را در دو حالت الف) بدون بار ب) با حداکثر ضریب خروجی محاسبه کنید

$R_B = 10k$ ، $V_{cc} = 5V$ ، $R_C = 1K$ ، $\beta_F = 25$

$V_{BE(sat)} = 0.8V$ ، $V_{CE(sat)} = 0.2V$

الف) بدون بار

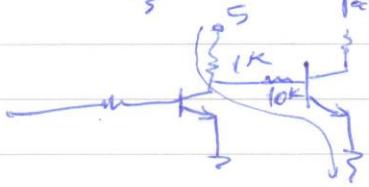


$$I_{(OH)} = 0$$

$$I_{(OL)} = \frac{5 - 0.2}{1} = 4.8mA$$

$$P_{c(av)} = \frac{0 + 4.8}{2} \times 5 = 12mV$$

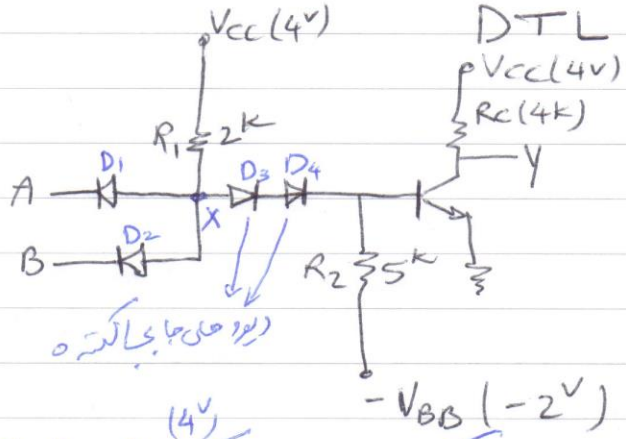
ب) با یک خروجی



$$I_{(OH)} = \frac{5 - 0.8}{1 + 10} = 382mA$$

$$I_{(OL)} = 4.8^{mA} \Longrightarrow P_{cc(avg)} = \frac{4.8 + 382}{2} \times 5 = 12.96mA$$

منطق دیود - ترانزیستور DTL



NAND در مقابل آمده است

TTL در واقع تقسیم یافته این منطق است

با صفر شدن هر یک از ورودی ها و یا هر دو ورودی آنها

نقطه X ولتاژ 0.7 را پیدا خواهد نمود و D_3 و

D_4 وصل خواهد شد و ترانزیستور روشن

خواهد شد و در نتیجه خروجی V_{cc} خواهد بود. در صورتی که هر دو ورودی یک شود D_1 و D_2

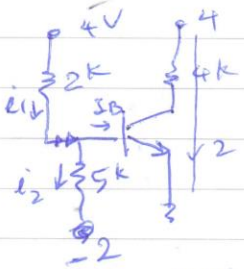
قطع خواهد بود و بیس ترانزیستور 4 ولت داشته و ترانزیستور به اشباع می رود و خروجی

مقدار برابر $V_{CE(sat)}$ که همان V_{OL} است خواهد شد.

برای آنکه دیود D_3 و D_4 وصل و D_1 قطع باشد باید ولتاژ A که در واقع یک است

حداقل برابر $V_A = -V_{D1} + D_3 + V_{D4} + V_{BE} = 1.2$ باشد

مثال: اگر در NAND دوورودی نوع DTL هردوورودی ازسطح بالا باشند جریان بیس ترانزیستور Q را پیدا کنید و β را دراین حالت حساب کنید



$$i_1 = \frac{4-(0.7\times3)}{2^k} ; \quad i_2 = \frac{2.7}{5^k}$$

$$I_B = i_1 - i_2 = 0.95 - 0.54 = 0.41\,mA$$

KVL2: $I_C = \frac{4-0.2}{4^k} = 0.95 \quad \beta = \frac{I_C}{I_B} = 2.3$

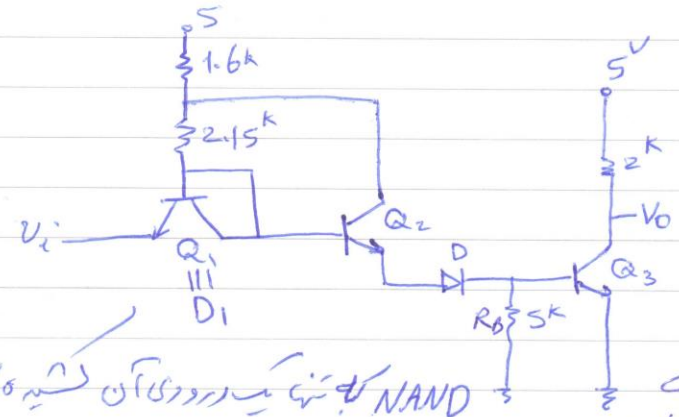
منطق ترانزیستور-ترانزیستور TTL

مزایا: افزایش ظرفیت خروجی، سرعت سوئیچینگ و نیز کاهش حساسیت نسبت به نویز

TTL دوسری است ← 74xx برای کاربردهای معمولی دردمای 0 – 70

54xx برای کاربردهای ارتشی

تغییر DTL به TTL



تفاوت با مدار قبلی:

1. بجای یکی از دیودها ترانزیستور دهنده ولتاژ، پیوند بین امیتر Q_2 قرار گرفته است

2. R_B بجای وصل شدن به ورودی، به زمین وصل شده است

مثال: در مدار بالا فرض کنید $\beta(Q_3)=\beta(Q_2)=50$ الف) وقتی $V_I = 0.2^V$ خواهد بود ب) اگر $V_I = 5^V$ باشد جریان بیس Q_3 را پیدا کنید

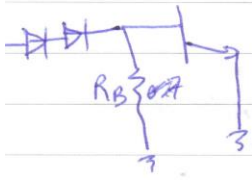
الف) $I_B = \frac{5-0.7-0.2}{1.6+2.15} = 1.1\,mA$

ب) $I_{B_3} = \frac{5-2.1}{1.6+2.15} - \frac{0.7}{5} \simeq 1.6\,mA$

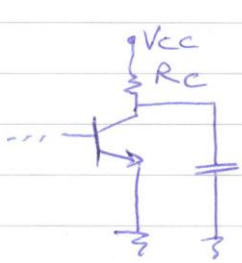
دلایل کندی پاسخ DTL

DTL حاشیه نویز خوب و ظرفیت خروجی معقولی دارد اما نسبتاً کند است که دو دلیل دارد

۱. هرچه ترانزیستور قطع می‌شود با آن بایستی از طریق R_B تخلیه شود که جریان آن $\frac{0.7}{R_B}$ می‌شود که حدود 0.14 میلی آمپر است و در مقایسه با جریان مستقیم بیس خیلی کم است و به همین دلیل زمان لازم برای برداشتن بار بیس طولانی شده و تأخیر خیلی زیادی می‌شود

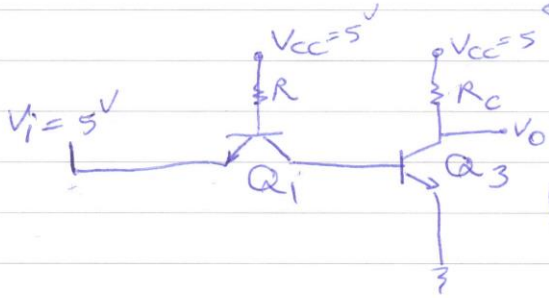


۲. مدار خروجی DTL در مقابل آمده است. هرزمان که مدار است خروجی صفر شود بین ترانزیستور با اشباع ورود خازن CL ترانزیستور سریع به ناحیه اشباع می‌رود و هرگاه در ناحیه فعال کار می‌کند و کلکتور مانند یک منبع جریان عمل کرده و جریان I_B را به درون خود می‌کشد و مدار سریع قطع می‌شود ولی از زمان روشن شدن خازن CL، پیش از طریق R_C شارژ شود که مدار طول می‌کشد و تأخیر آن زیاد است



مدار ورودی گیت TTL

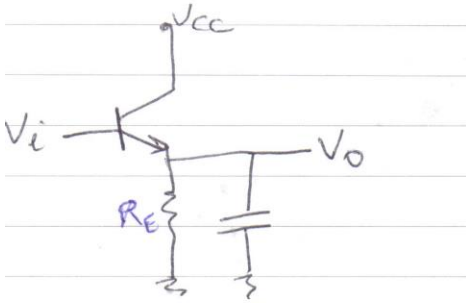
وقتی $V_i = 5$ یعنی در حد بالا باشد Q_1 به ناحیه اشباع معکوس می‌رود ($V_{CE} < 0$) و I_B نیز برعکس می‌شود و در ناحیه فعال معکوس خواهیم بود و جریان کلکتور در جهت معکوس و به اندازه I_{CBO} خواهد بود که این جریان معکوس قادر خواهد بود Q_3 را به ناحیه فعال برده و خروجی مدار صفر شود (Q_3 اشباع می‌شود $V_{CE} = 0.2$)



حال اگر ورودی صفر منطقی (0.2) باشد Q_1 روشن شده و I_{CQ_3} و I_{BQ_3} معکوس می‌شود و Q_3 قطع می‌شود و V_o برابر V_{cc} خواهد بود.

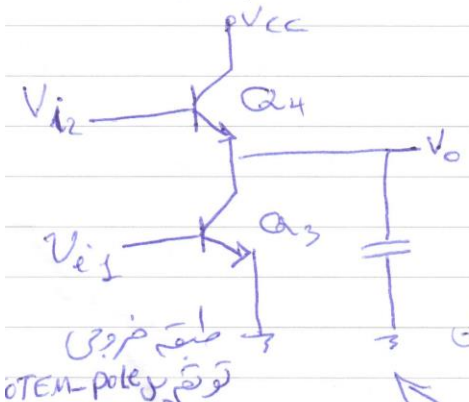
علت قطع شدن Q_3 آن است که Q_1 به اشباع می‌رود و $V_{CE} = 0.2$ می‌شود و $V_{BEQ_3} = 0.7$ است و در واقع ولتاژ بیس Q_3 کمتر از حدی می‌شود که Q_3 را در حالت فعال ببرد.

مدار خروجی تمیم TTL

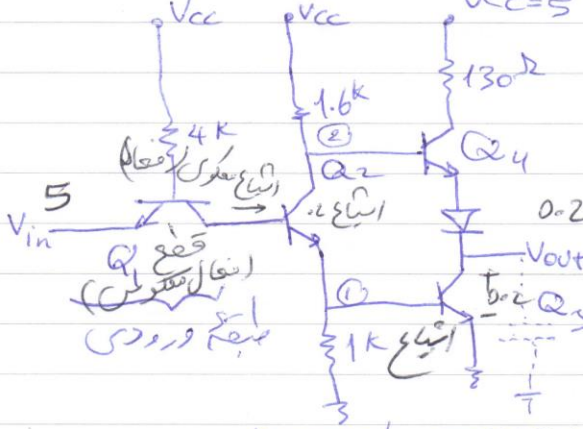


در این مدار از زیان مصل شدن ترانزیستور Q1 زیاد بوده و سریعاً خارج شده و سوئیچینگ عملاً در این مدل سری DTL هم حل شده است.

در این مدار از زیان قطع شدن ترانزیستور خارج آن را از طریق RE تخلیه می‌کند و بنابراین طبقه خروجی بصورت مانند شکل مقابل خواهد بود که از دو ورودی Vi1 و Vi2 تشکیل شده و مثل شکل شماره خارج هم بر وفق شده است. مدار تولید Vi1 و Vi2 نیز مخصوص خواهد بود و مدار کامل آن بصورت زیر است



وقتی Vi1 بالا و Vi2 پائین Q3 وصل و اشباع و Q4 قطع است و بار خازنی سریعاً تخلیه می‌شود و وقتی Vi1 پائین و Vi2 بالاست Q3 قطع و Q4 وصل اشباع است و خازن بار تقاضای جریان Ic سریعاً شارژ می‌کند



تحلیل این مدار در سطح بالا:

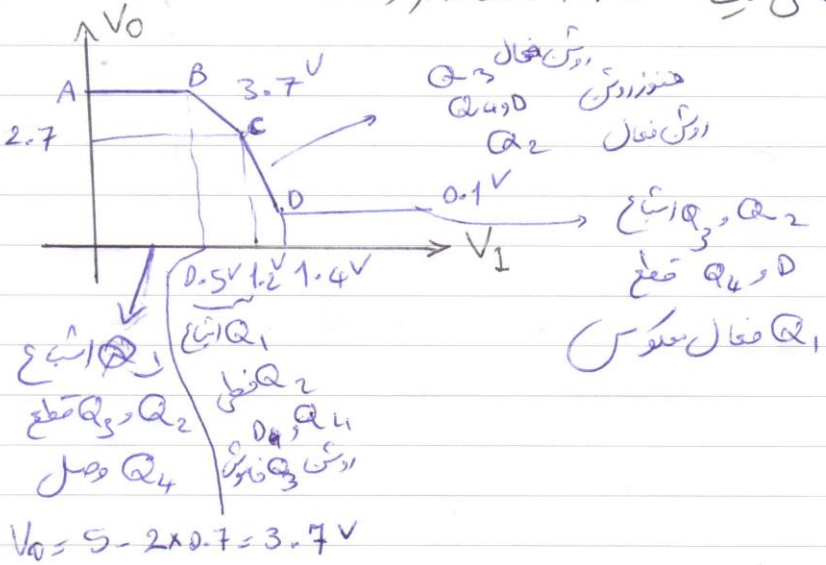
Q1 در واقع در ناحیه فعال معکوس خواهد بود و جریان را برای اشباع نگه Q2

تأمین خواهد نمود در این صورت چون RE در Q2 بیشتر از Rc است ولتاژ آن

بین در نقطه ① بیشتر بوده و Q4 به اشباع خواهد رفت و Vo برابر Vce(sat) خواهد

وقتی ولتاژ V_I مقدار بیشتر از حدود 0.2 ولت را دارد Q_3 قطع و Q_4 اشباع خواهد شد. (Q_2 قطع است) مقاومت 130 اهم برای این است که جریان کشیده شده از منبع تغذیه را محدود

مشخصه انتقالی گیت TTL استاندارد



$V_O = 5 - 2\times 0.7 = 3.7\,V$

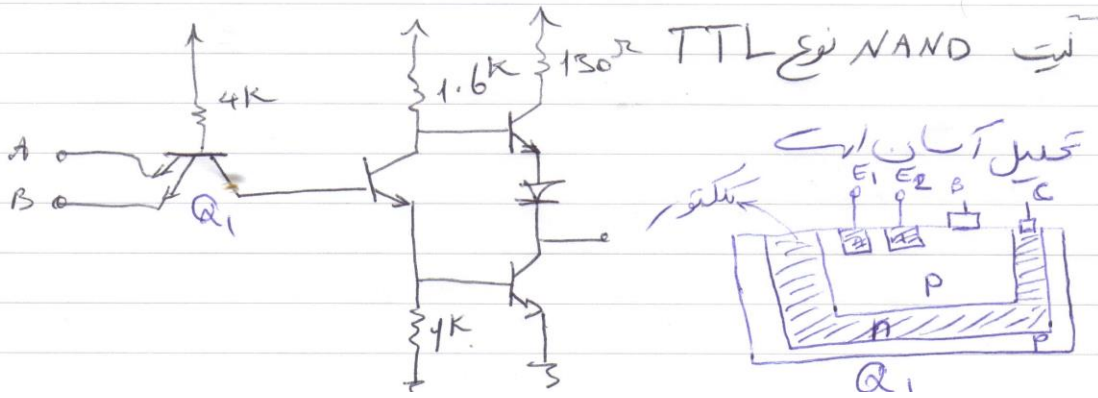
حاشیه امنیت نویز

برای TTL استاندارد برای گیت مقادیر زیر را داریم

$V_{IH} = 2V$, $V_{IL} = 0.8V$, $V_{OH} = 2.4V$, $V_{OL} = 0.4V$

$$\Rightarrow NM_H = V_{OH} - V_{IH} = 2.4 - 2 = 0.4V$$
$$NM_L = V_{IL} - V_{OL} = 0.8 - 0.4 = 0.4$$

گیت NAND نوع TTL



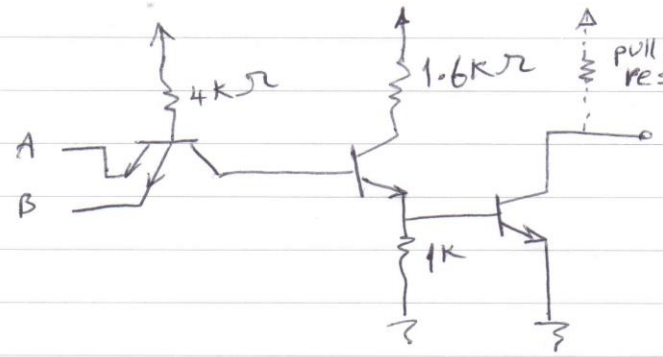
تحلیل آسان است

انواع دیگری از مدارهای TTL

شکل ۲۷-۶ کتاب نشان دهنده $y = \overline{AB} \cdot \overline{CD}$ یا $y = \overline{AB+CD}$ است

عیب TTL هایی است که خروجی آنها را نمی‌توانیم به هم متصل کنیم چون اگر یکی هسته و دیگری یک باشد جریان از Q_4 گیت اول می‌آید و از Q_3 گیت دوم خارج می‌شود.

گیت TTL نوع کلکتور باز



مدار گیت TTL نوع کلکتور باز 4S تابع NAND را پیاده‌سازی می‌کند در شکل مقابل نشان داده شده است Q_4 حذف شده است

وقتی خروجی پائین است شکل بالا مشکلی پیش نمی‌آید ولی وقتی خروجی قرار است بالا باشد وضعیت آن نامشخص است و بهتر است برای رفع این مشکل مقاومت بالا را مثل شکل را به آن متصل نمود.

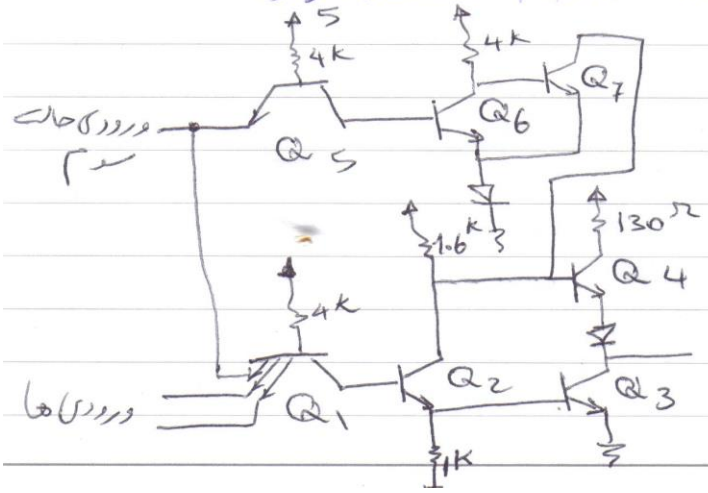
خروجی چند گیت کلکتور باز را می‌توان به راحتی به هم متصل نمود و خروجی را با یک مقاومت به V_{cc} وصل نمود که در واقع در این حالت NAND سیمی ساخته شده است

عیب آن زمان زیاد در تغییر خروجی از صفر به یک بخاطر شارژ خازن خروجی است

مثال ۶-۶ کتاب

$F = \overline{AB+CD}$ مطالعه شود.

گیت TTL سه حالته:



یک روش دیگر برای آنکه بتوانیم چند تا خروجی TTL را به هم وصل کنیم استفاده از TTL های سه حالته با شکل مقابل خروجی می باشد

محاسبه ظرفیت خروجی در TTL

$N = \frac{I_{OL}}{I_{IL}}$ هاکزیمم بسته به حالت پائین خروجی دارد

$I_{IL} \rightarrow Q_1$ طبقه بعدی به آن

$$I_{IL} = \frac{V_{CC} - V_{BG(SAT)} - V_{CEO(SAT)}}{R_B}$$

I_{OL} بیشترین خروجی در حالت کم و زمانی است که ورودی مدار کمتر یک باشد

$$\Rightarrow I_{OL} \simeq I_{CO(SAT)} \quad , \quad I_{B.O} = I_{ES(SAT)} - I_{RD}$$

$$I_{RD} = \frac{V_{BEO(SAT)}}{R_D} \quad , \quad I_{E.S(SAT)} = I_{B.S} + I_{CS}$$

$$I_{CS} = I_{RC} = \frac{V_{CC} - V_{CE.S(SAT)} - V_{BC.O(SAT)}}{R_C}$$

$$I_{B.S} = I_{C,I(RA)} = (1+\beta_R) I_{B.I}$$

$$I_{B,I} = \frac{V_{CC} - V_{BC,I(RA)} - V_{BES(SAT)} - V_{BC,O(SAT)}}{R_B}$$

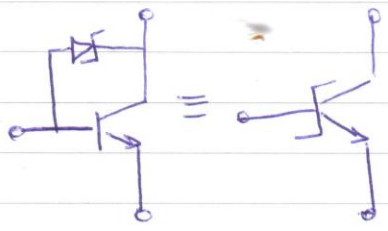
خانواده های TTL با عملکرد بهتر

افزایش سرعت و کاهش توان مدنظر است

علت کندی TTL استاندارد این است که Q_1، Q_2، Q_3 اشباع می شوند و بنابراین برای قطع آنها باید بار اضافی جمع شده در بین آنها تخلیه شود که زمان بیشتری می برد

خصوص Q_1 که باید از طریق مقاومت 1KΩ تخلیه شود.

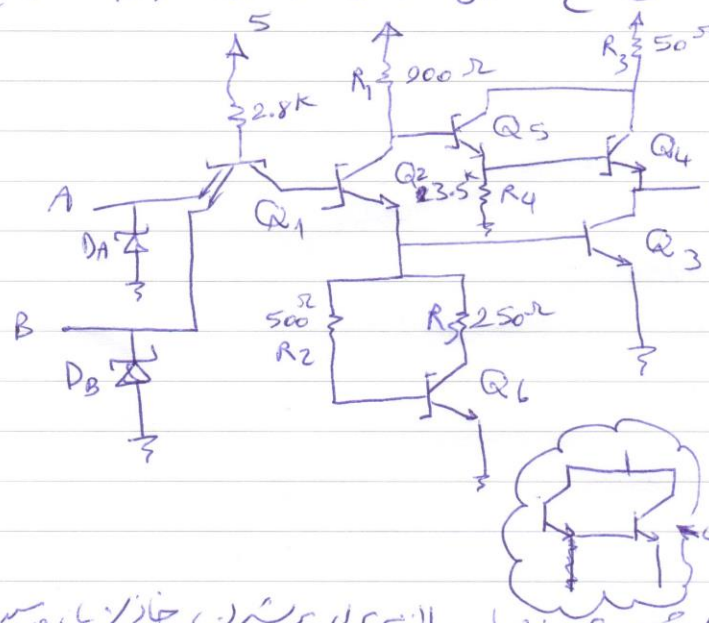
بین دو کار باید { 1. جلوگیری از اشباع ترانزیستورها
انجام دهیم { 2. کاهش مقادیر مقاومت ها



TTL شاتکی (یا STTL)

در واقع یک دیود شاتکی (دیود فلز نیمه هادی) در آن
و تنها مستقیم آن 0.5 است بین کلکتور و بیس قرار می گیرد
تا از اشباع رفتن ترانزیستور جلوگیری نماید

در واقع می‌توانند که V_{BE} حداقل $= 0.8$ ولت شود و در 0.7 شروع به کار می‌کند و در واقع ترانزیستور همواره در ناحیه فعال یا مرز اشباع کار می‌کند.
با این روش تأخیر زمان قطع خیلی کوتاه می‌شود.
شکل ۳۲-۶ کتاب تک TTL استاندارد با گیت‌های شاتکی را نشان می‌دهد که 2 فرق با TTL استاندارد معمولی دارد اول آنکه تمام ترانزیستورها شاتکی هستند و دوم آنکه مقادیر همه مقاومت‌ها نصف شده است با این تغییرات زمان تأخیر بسیار کوتاه‌تر شده است ولی توان مصرفی مدار (گیت) با ضریب تقریباً 2 افزایش یافته است.



علاوه بر آن مداری که در مقابل TTL آمده است سه تکنیک دیگر هم برای بهتر کردن عملکرد دارد که عبارتند از:

1. بجای دیود D که برای جلوگیری از هدایت Q_4 در موقع پائین آمدن خروجی است تبادل می‌رود از ترانزیستور Q_5 استفاده شده است. Q_4 یک زوج دارلینگتون تشکیل می‌دهد که توانایی بیرون دادن جریان بیشتر را دارد و باعث می‌شود زمان لازم برای پائین خازن با روی سیم آن به تراز با کاهش یابد. Q_4 هرگز اشباع نمی‌شود چون

$$V_{CE4} = V_{CES} + V_{BE4} = 0.3 - 0.8 = 1.1V$$

2. D_A و D_B استفاده می‌شوند که باعث می‌شوند ولتاژهای منفی ورودی اثری نداشته باشند
3. بجای مقاومت بین Q_3 یک مقاومت غیرخطی متشکل از Q_6 و R_5 و R_2 بکار رفته است که در آن پائین فعال می‌نشیند. (در مقابل Q_4 که بالا فعال تو تم پل است) بین مقاومت آن بالا است و جریان کمی می‌کشد و وقتی ولتاژ در سر آن به V_{BE} می‌رسد Q_3 شروع به هدایت می‌کند (Q_2، Q_3 و Q_6 همزمان وصل می‌شوند) در واقع Q_6 هم عمل وصل و هم عمل قطع Q_3 را تسریع می‌بخشد

TTL شاتکی کم توان

مصرف TTL شاتکی بالاست برای رفع مشکل از مدار 74-33 کتب استفاده شده است
فرق آن این است که مقاومت ها تقریباً 10 برابر شده است ولی برای جبران کاهش
سرعت چند ابداع شده است از آنها سوپر چند امیتر در ورودی ظرف شده است
و بجای آن دیود شاتکی قرار گرفته که سطح سیلیسیم کمتری اشغال می کند و خازن ناشی
و مزاحم کمی دارد. چند امیتری به این دلیل استفاده کردیم که سریعاً بار ذخیره شده در
Q_2 را بردارد ولی در اینجا (قبلاً Q_2 به اشباع نمی رود) و نیازی به Q_1 نباشد
2. دیود شاتکی D_4 و D_3 بجای ضرورتی اضافه شده اند تا قطع شدن Q_2 و وصل
شدن Q_3 را سریع تر کنند و لذا ضرورتی از بالا به پایین سریع تر انجام شود.

این مدار TTL دارای شنعم $P_D = 2mW$ و $t_p = 10\,ns$ است یعنی هر چند
توان آن $\frac{1}{10}$ شده است ولی سرعت آن نیز $\frac{1}{3}$ شده است.

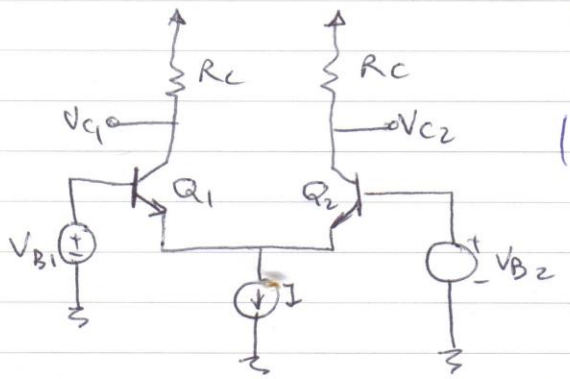
خانواده های پیشرفته TTL

جزئیات آن نیامده است و فقط مشخصات چند نوع آن در جدول 2-6 کتاب
آمده است.
تنها رقیب سری از خانواده شاتکی پیشرفته منطق تزویج امیتری (ECL) است

منطق تزویج امیتری (ECL)

Emitter coupled Logic

در این منطق با استفاده از زوج تفاضلی از به اشباع رفتن ترانزیستورها جلوگیری می شود
پس ابتدا از زوج تفاضلی را توضیح می دهیم



بررسی مدار:

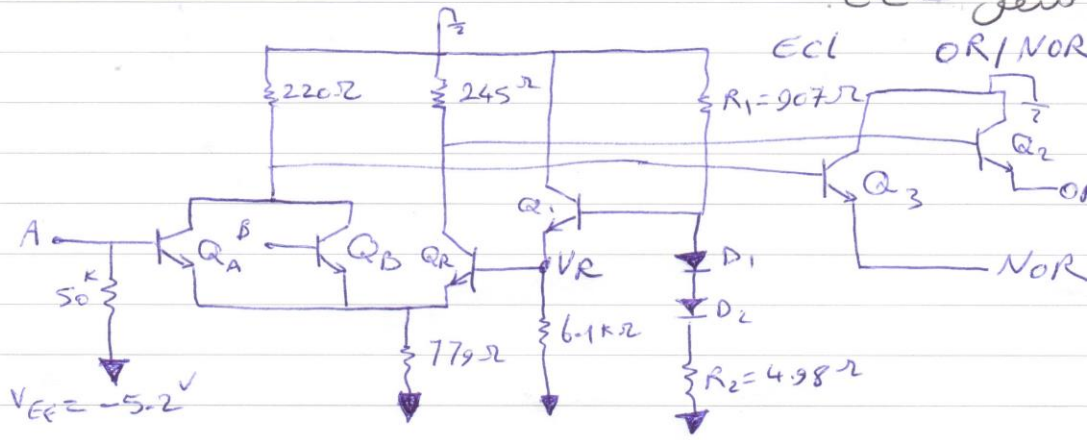
الف) $V_{B1} = V_{B2} = V_{CM}$ (ورودی مشترک)

Q_1 و Q_2 تطبیق یافته اند پس بصورت
مساوی بین دو ترانزیستور تقسیم می شود
بنابراین $V_{C2} - V_{C1} = 0$
خواهد بود.

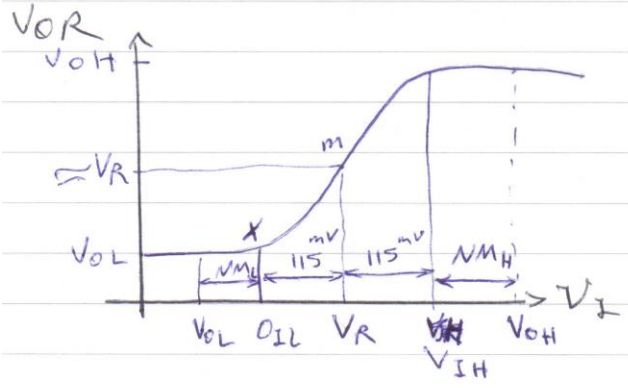
ب) ورودی افتلاف $V_{B1} > V_{B2}$
Q_1 وصل و Q_2 قطع و تمام I از Q_1 عبور می کند $V_1 > V_2$ آنگاه $V_{B1} > V_{B2}$ باشد $V_2 > V_1$

اگر $V_{B_2}=0$ باشد با روشن شدن Q_1 با ترمینال $V_{B_1}=0.3$ باشد بنابراین مدار $V_{B_1}=1$
Q_2 با بایس معکوس می‌رود و $V_{C_2}=V_{CC}$, $V_{C_1}=V_{CC}-\alpha I R_C$
حال اگر $V_{B_1}=-1$ باشد Q_1 قطع و Q_2 با I اشباع می‌شود
$V_{C_1}=V_{CC}$, $V_{C_2}=V_{CC}-\alpha I R_C$

منطق ECL:



حد بالای ولتاژ 0.4 ولت بالای VR (در این مدار $V_R=-1.32V$ است)
حد پائین ولتاژ 0.4 ولت زیر VR است
وجود مزیت‌هایی مثل کار راحت می‌کند و باعث حذف NOT های شود.



مشخصه انتقالی

$$I=I_S e^{\frac{V_{BE}}{V_T}}$$

$$V_{BE}=V_T \ln \frac{I}{I_S}$$

$$V_{BE_1}-V_{BE_2}=V_T \ln \frac{I_1}{I_2}$$

در طبقه تفاضلی فرض شده است که
جریان I_E در یک طرف دو برابر طرف دیگر باشد پس
$V_{BE_1}-V_{BE_2}=V_T \ln(99)=115mV$

$$V_{IL}=V_H-\Delta V_{BE}=-1.32-0.115=-1.435V$$

فصل هفتم: مقایسه بین خانواده‌های منطقی و بررسی چگونگی ارتباط بین آنها

مقایسه خانواده‌های منطقی مختلف

جدول (۷-۱) کتاب پارامترهای سرعت و مصرف توان برای خانواده‌های مختلف را دارد. در این جدول سریع خانواده منطقی TTL شاتکی (STTL) آورده شده است که عبارتند از LSTTL (TTL شاتکی با مصرف توان پایین) ALSTTL (TTL شاتکی کم‌توان پیشرفته) و FAST (TTL شاتکی پیشرفته Fairchild) که سرعت بهتری نسبت به زیر خانواده‌های LSTTL و ALSTTL دارد.

LSTTL ← توان مصرفی تا $\frac{1}{5}$ می‌رساند
LSTTL ← سرعت آن بالاست چون از شاتکی استفاده شده و اشباع نمی‌رود
نسبت به TTL

به این دلایل LSTTL تقریباً TTL استاندارد را از دور خارج کرده است

ALSTTL مصرف توان کمتر و سرعت بیشتری دارد و FAST از دو نوع قبلی سرعت بهتری دارد ولی مصرف توان آن افزایش یافته است.

MECL 10K
" 10KH ← ECL (MECL مربوط به شرکت موتورولا)
" III

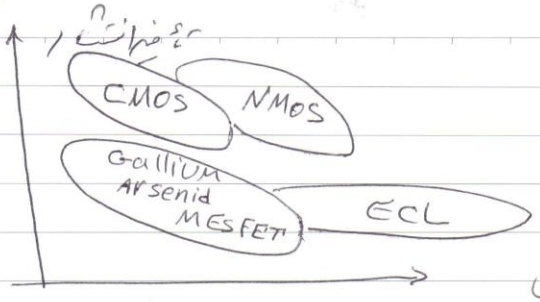
10KH سرعت دو برابر 10K دارد
III MECL تأخیر انتشار کمی دارد. اما نرخ ساعت کلاک ماکزیمم 2 تا 4 برابر می‌شود

CMOS ← استاندارد
HMOS ← سرعت آن دو برابر LSTTL

CMOS کمترین مصرف توان و کمترین مساحت را در سطح تراشه دارد
در وسایل قابل حمل مثل ماشین حساب‌های جیبی، ساعت و ... استفاده زیادی دارد

مقایسه با خانواده‌های منطقی گالیم آرسنایدی NMESFET

بیشترین مدارها در بین این خانواده‌های منطقی می‌باشند تأخیر انتشار در حد 10 پیکو ثانیه در دمای اتاق و با استفاده از ترانزیستورهای با گذرگاه دوبعدی الکترون به نام (HEMT) این تأخیر در دمای اتاق تا 30٪ کمتر می‌شود



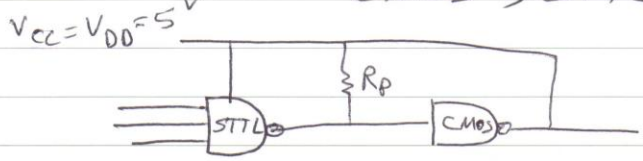
CMOS سریعتر از NMOS و توان کمتری را نسبت به آن مصرف می‌کند

مدارهای واسط برای اتصال خانواده‌های منطقی به یکدیگر

معمولاً تراشه‌ها از یک خانواده ساخته می‌شوند ولی گاهی نیاز است خانواده‌های مختلف در کنار هم باشند مثلاً ساعت سیستم دیجیتال CMOS (چون توان کمی مصرف می‌کند) ولی در جاهایی که سرعت بالا لازم است ECL می‌تواند استفاده شود.

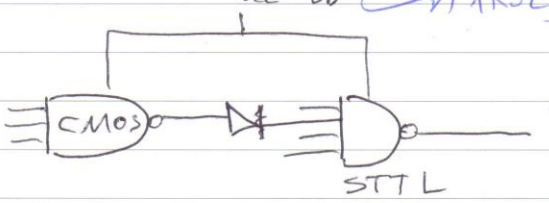
برای اتصال سطوح ولتاژ و جریان دو مدار باید با هم سازگار شوند

مدار واسط برای اتصال STTL و CMOS



R_P به عنوان یک بالابر سطح ولتاژ عمل می‌کند و ولتاژ خروجی را تا V_{CC} بالا می‌کشد

وقتی خروجی گیت STTL در حالت بالا است ولتاژ و جریان خروجی تابعی از V_{OH} است که برای STTL بین 3.6^V تا 4.3^V (در حالت بی باری) به 5^V خواهد رسید معمولاً R_P برابر $1K\Omega$ است



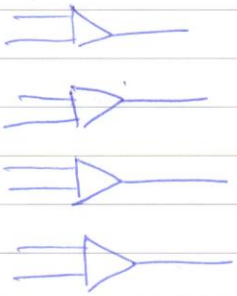
اما اگر CMOS قرار باشد STTL را تحریک کند مشکل وقتی است که خروجی CMOS در سطح پایین قرار دارد که در این صورت ترانزیستور NMOS وارد عمل می‌شود و مقاومت خروجی CMOS در این حالت مقدار زیادی جریان از خود عبور می‌دهد و طرف زمین می‌فرستد این جریان از STTL (در حالت آی‌سی) تأمین می‌شود حال ورودی STTL در سطح پایین قرار دارد و ترانزیستور ورودی آن روشن است جریان زیادی از آن طرف CMOS جاری می‌شود و ولتاژ زیادی دو سر مقاومت ترانزیستوری (مقاومت ترانزیستور NMOS) ایجاد خواهد کرد و این

ولتاژ اضافی ممکن است که از مقدار حداکثر ولتاژ ورودی که STTL آی را بعنوان منطق صفر تلقی می‌کند یعنی V_{IL} فراتر رود و این امر کار مدار را مختل کند.

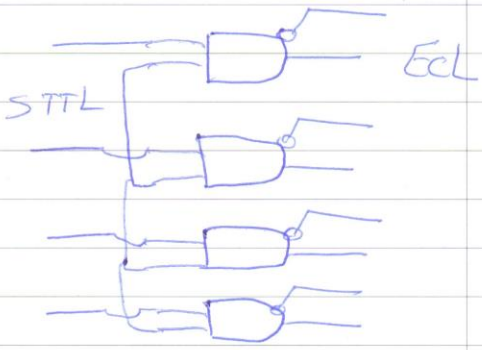
برای حل این مشکل از یک بافر بر سر راه آنها استفاده می شود (بافر می تواند یک مدار کلکتور مشترک باشد)

اتصال ECL به STTL

در ECL از $V_{CC}=0V$ و $V_{EE}=-5.2V$ استفاده می شود و لذا منطق دو سطح ولتاژ خانواده های تریم منطقی است برای این منظور از تراشه های ماتنه شکل های زیر استفاده می شود.



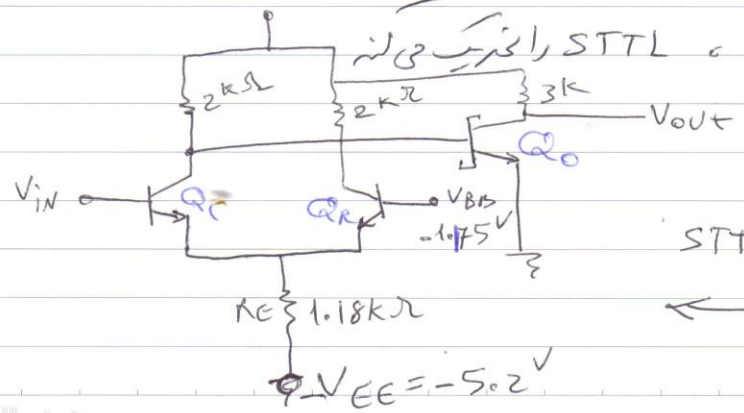
مبدل چهارتایی TTL به ECL (MC10125)



مبدل STTL به ECL چهارتایی (MC10124)

حال مدارهای پایه هرکدام را بررسی می کنیم

وقتی که ECL ، STTL را تحریک می کند



مبدل ECL به STTL

(38)

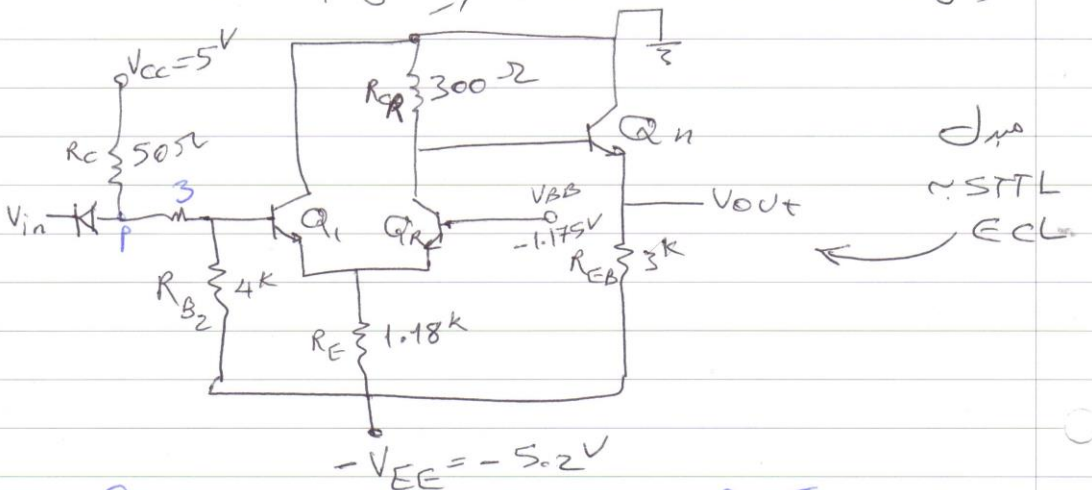
$V_{OH} = 3.6 \text{ تا } 4.3^V$ ، $V_{OL} = 0.4^V$ ← STTL و برای

$V_{OH} = -0.77^V$ ، $V_{OL} = -1.58^V$ ← ECL و برای

حال در مدار، فرض کنید $V_{in} = -0.77^V$ باشد Q_1 روشن، Q_R خاموش و بنابراین $V_{Q_1} = 1^V$ و مقدار ضعیفی جریان می‌کشد پس Q_0 خاموش، $V_{out} = V_{CC}$

بطور مشابه وقتی ورودی Q_1 پایین باشد یعنی $V_{in} = -1.58^V$ داریم Q_1 خاموش، Q_R روشن، Q_0 روشن و $V_{out} = 0.4^V$ (جریان شاخه‌ی Q_0 جریان می‌کشد)

وقتی که STTL و ECL را مخلوط می‌کنیم



وقتی خروجی یک گیت ECL به ورودی یک گیت STTL وصل شده است و خروجی آن بالا است.

فرض کنید $V_{in} = 3.6 \text{ تا } 4.3^V$ باشد

در بدترین حالت ولتاژ نقطه‌ی p برابر $V_p = 3.6 + 0.7 = 4.3^V$ و با استفاده از مرجع آن ولتاژ پس Q_1 برابر است با

$$V_{B1} = 4.3\left(\frac{4}{4+3}\right) - 5.2\left[\frac{3}{3+4}\right] = 0.23^V$$

وقتی Q_1 روشن Q_R خاموش می‌شود و Q_B روشن می‌شود، V_{out} برابر است با:

$$V_{out} = -I_B R_{CR} - V_{BE(ECL)} = -\left(\frac{V_{EE} - V_{out}}{\beta R_{EB}}\right) R_{CR} - V_{BE(ECL)}$$

$$\simeq \left[\frac{5.2 - 0.75}{100 \times 3}\right] 300 - (0.75) = -0.77\,V$$

که نشان‌دهنده ECL در حالت بالایی است.

حال فرض کنید $V_{in} = V_{OL} = 0.4\,V$ است، بنابراین:

$$V_P = V_{OL} + V_D(on) = 0.4 + 0.7 = 1.1\,V$$

با روشن شدن Q_1 داریم (توجه کنید):

$$V_{B_1} = 1.1 \times \frac{4}{3+4} - 5.2 \frac{3}{3+4} = -1.6$$

که نشان می‌دهد V_{BB} است و Q_1 خاموش، Q_R روشن می‌شود و

$$V_{out} = -I_{RCR} R_{CR} - V_{BE(ECL)} \simeq -\left[\frac{V_{BB} - V_{BE(ECL)} + V_{BE}}{R_E}\right]$$

$$\times R_{CR} - V_{BE(ECL)} = -\left[\frac{1.175 - 0.75 + 5.2}{1.18}\right] \times 300 - 0.75 = -1.58\,V$$

که ضرورتاً سطح پایین منطق ECL می‌باشد.